

PATENT COOPERATION TREATY

EO/US
PCT/JP98/04350

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

United States Patent and Trademark
Office
(Box PCT)
Crystal Plaza 2
Washington, DC 20231
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing:

29 April 1999 (29.04.99)

International application No.:

PCT/JP98/04350

Applicant's or agent's file reference:

PCT-7021

International filing date:

28 September 1998 (28.09.98)

Priority date:

17 October 1997 (17.10.97)

Applicant:

ASAI, Motoo et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

25 January 1999 (25.01.99)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

THIS PAGE BLANK (USPTO)

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 29 OCT 1999

WIPO PCT

出願人又は代理人 の書類記号 PCT-7021	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 98/04350	国際出願日 (日.月.年) 28.09.98	優先日 (日.月.年) 17.10.97
国際特許分類 (IPC) Int.Cl. ⁸ H01L23/12, 23/32		
出願人 (氏名又は名称) イビデン株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 25.01.99	国際予備審査報告を作成した日 14.10.99	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭 電話番号 03-3581-1101 内線 6362	4E 9265

THIS PAGE BLANK (03-10)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

1-8

有

請求の範囲

無

進歩性(IS)

請求の範囲

1-8

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲

1-8

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

請求の範囲1-8は、国際調査報告に示されたいずれの文献にも記載されておらず、当業者にとって自明のものでもない。

THIS PAGE BLANK (USPTO)

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference PCT-7021	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP98/04350	International filing date (day/month/year) 28 September 1998 (28.09.1998)	Priority date (day/month/year) 17 October 1997 (17.10.1997)
International Patent Classification (IPC) or national classification and IPC H01L 23/12, 23/32		
Applicant IBIDEN CO., LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of _____ sheets.

RECEIVED

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

SEP 27 2000

TECHNOLOGY CENTER 2800

Date of submission of the demand 25 January 1999 (25.01.1999)	Date of completion of this report 14 October 1999 (14.10.1999)
Name and mailing address of the IPEA/JP Japanese Patent Office, 4-3 Kasumigaseki 3-chome Chiyoda-ku, Tokyo 100-8915, Japan Facsimile No.	Authorized officer Telephone No. (81-3) 3581 1101

THIS PAGE BLANK (UFTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/04350

I. Basis of the report

1. With regard to the elements of the international application:*

- ☒ the international application as originally filed
- ☐ the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the claims:
pages _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the drawings:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/04350

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability;
citations and explanations supporting such statement****1. Statement**

Novelty (N)	Claims	1-8	YES
	Claims		NO
Inventive step (IS)	Claims	1-8	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-8	YES
	Claims		NO

2. Citations and explanations

The subject matters of claims 1-8 are neither described in any of the documents cited in the ISR, nor obvious to a person skilled in the art.

THIS PAGE BLANK (CSPTD)



PCT

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 PCT-7021	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP98/04350	国際出願日 (日.月.年) 28.09.98	優先日 (日.月.年) 17.10.97
出願人(氏名又は名称) イビデン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L23/12, 23/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L23/12, 23/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1998年

日本国登録実用新案公報 1994-1998年

日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-66552, A (株式会社日立製作所) 10. 3月. 1995 (10. 03. 95) 図8, ファミリーなし	1, 2
A	JP, 8-8359, A (株式会社日立製作所) 12. 1月. 1996 (12. 01. 96) 図2, ファミリーなし	3, 4, 7, 8
A	JP, 8-32240, A (株式会社日立製作所) 2. 2月. 1996 (02. 02. 96) 図2, ファミリーなし	5, 6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17. 12. 98

国際調査報告の発送日

06.01.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

國方 康伸

4E

9442

電話番号 03-3581-1101 内線 3427

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04350

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L23/12, 23/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L23/12, 23/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-1998
Kokai Jitsuyo Shinan Koho	1971-1998	Jitsuyo Shinan Toroku Koho	1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-66552, A (Hitachi, Ltd.), 10 March, 1995 (10. 03. 95), Fig. 8 (Family: none)	1, 2
A	JP, 8-8359, A (Hitachi, Ltd.), 12 January, 1996 (12. 01. 96), Fig. 2 (Family: none)	3, 4, 7, 8
A	JP, 8-32240, A (Hitachi, Ltd.), 2 February, 1996 (02. 02. 96), Fig. 2 (Family: none)	5, 6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 December, 1998 (17. 12. 98)

Date of mailing of the international search report
6 January, 1999 (06. 01. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

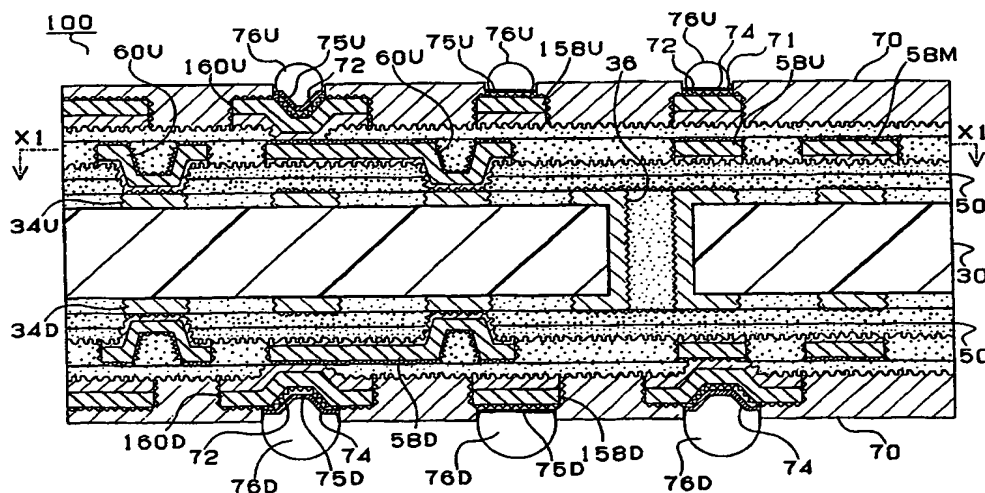
Telephone No.

THIS PAGE BLANK (USPTO)

<p>(51) 国際特許分類6 H01L 23/12, 23/32</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/21224</p> <p>(43) 国際公開日 1999年4月29日(29.04.99)</p>															
<p>(21) 国際出願番号 PCT/JP98/04350</p> <p>(22) 国際出願日 1998年9月28日(28.09.98)</p> <p>(30) 優先権データ</p> <table border="0"> <tr> <td>特願平9/303694</td> <td>1997年10月17日(17.10.97)</td> <td>JP</td> </tr> <tr> <td>特願平9/312686</td> <td>1997年10月29日(29.10.97)</td> <td>JP</td> </tr> <tr> <td>特願平9/312687</td> <td>1997年10月29日(29.10.97)</td> <td>JP</td> </tr> <tr> <td>特願平9/343815</td> <td>1997年11月28日(28.11.97)</td> <td>JP</td> </tr> <tr> <td>特願平9/361947</td> <td>1997年12月10日(10.12.97)</td> <td>JP</td> </tr> </table> <p>(71) 出願人 (米国を除くすべての指定国について) イビデン株式会社(IBIDEN CO., LTD.)(JP/JP) 〒503-0917 岐阜県大垣市神田町2丁目1番地 Gifu, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 浅井元雄(ASAI, Motoo)(JP/JP) 森 要二(MORI, Yoji)(JP/JP) 〒501-0695 岐阜県揖斐郡揖斐川町北方1丁目1番地 イビデン株式会社 大垣北工場内 Gifu, (JP)</p>		特願平9/303694	1997年10月17日(17.10.97)	JP	特願平9/312686	1997年10月29日(29.10.97)	JP	特願平9/312687	1997年10月29日(29.10.97)	JP	特願平9/343815	1997年11月28日(28.11.97)	JP	特願平9/361947	1997年12月10日(10.12.97)	JP	<p>(74) 代理人 弁理士 田下明人, 外(TASHITA, Akihito et al.) 〒460-0013 愛知県名古屋市中区上津2丁目1番27号 堀井ビル4階 Aichi, (JP)</p> <p>(81) 指定国 CN, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
特願平9/303694	1997年10月17日(17.10.97)	JP															
特願平9/312686	1997年10月29日(29.10.97)	JP															
特願平9/312687	1997年10月29日(29.10.97)	JP															
特願平9/343815	1997年11月28日(28.11.97)	JP															
特願平9/361947	1997年12月10日(10.12.97)	JP															

(54) Title: PACKAGE SUBSTRATE

(54) 発明の名称 パッケージ基板



(57) Abstract

Conventionally the solder pads on the IC chip side surface (upper surface) of a package substrate are small (133-170 μm diameter) and occupy a relatively small metallic part, while the solder pads on the surface (lower surface) of a mother board are large (600 μm diameter) and occupy a large metallic part. According to the invention, the metallic part on the IC chip side of the package substrate is increased by forming a dummy pattern (58M) between the conductor circuits (58U), (58U) forming signal lines on the IC chip side of the package substrate, and the ratio of the metallic part of the IC chip side to that of the mother board side is adjusted. The package substrate does not warp during the manufacturing process and during the use thereof.

(57)要約

パッケージ基板において、I Cチップ側の表面（上面）は、半田パッドが小さいため（直径133～170 μ m）、半田パッドによる金属部分の占める割合が小さい。一方、マザーボード等の表面（下面）は、半田パッドが大きいいため（直径600 μ m）、金属部分の割合が大きい。ここで、本パッケージ基板では、パッケージ基板のI Cチップ側の信号線を形成する導体回路58U、58U間に、ダミーパターン58Mを形成することで、パッケージ基板のI Cチップ側の金属部分を増やし、該I Cチップ側とマザーボード側との金属部分の比率を調整し、パッケージ基板の製造工程、及び、使用中において反りを発生させないようにしてある。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサオ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NL	オランダ	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NO	ノールウェー	ZW	ジンバブエ
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェコ	KP	北朝鮮	RO	ルーマニア		
DE	ドイツ	KR	韓国	RU	ロシア		
DK	デンマーク	KZ	カザフスタン	SD	スーダン		
EE	エストニア	LC	セントルシア	SE	スウェーデン		

明細書

パッケージ基板

5

技術分野

この発明は、ＩＣチップを載置させるためのパッケージ基板に関し、更に詳細には、上面及び下面に、ＩＣチップへの接続用の半田パッドと、マザーボード、サブボード等の基板への接続用の半田パッドとが形成されたパッケージ基板に関するものである。

高集積ＩＣチップは、パッケージ基板に載置され、マザーボード、サブボード等の基板へ接続されている。このパッケージ基板の構成について、パッケージ基板６００にＩＣチップ８０を載置して、マザーボード９０へ取り付けた状態を示す断面図である第２３図を参照して説明する。該パッケージ基板６００は、コア基板６３０の両面に導体回路６５８Ａ、６５８Ｂを形成し、該導体回路６５８Ａ、６５８Ｂの上層に層間樹脂絶縁層６５０を介在させて導体回路６５８Ｃ、６５８Ｄを形成し、該導体回路６５８Ｃ、６５８Ｄの上層に層間樹脂絶縁層７５０を配設してなる。そして、該層間樹脂絶縁層６５０には、バイアホール６６０Ｂ、６６０Ａが形成され、層間樹脂絶縁層７５０には、バイアホール６６０Ｄ、６６０Ｃが形成されている。一方、ＩＣチップ８０側の表面（上面）には、ＩＣチップ８０側のパッド８２と接続するための半田バンプ６７６Ｕが形成され、サブボード９０側の表面（下面）には、マザーボード９０側のパッド９２と接続するための半田バンプ６７６Ｄが形成されている。該半田バンプ６７６Ｕは、半田パッド６７５Ｕ上に形成され、又、半田バンプ６７６Ｄは、半田パッド６７５Ｄ上に形成されている。ここで、半田バンプ６７６Ｕ、６７６Ｄの接続信頼を高めるために、ＩＣチップ８０とパッケージ基板６００の間には、樹脂８４が封止され、同様に、パッケージ基板６００とマザーボード９０との間には、樹脂９４が封止されている。

上述したようにパッケージ基板６００は、高集積ＩＣチップ８０とマザーボード９０とを接続するために用いられている。即ち、ＩＣチップ８０のパッド

30

- 2 -

82は直径133~170 μ mと小さく、マザーボード90側のパッド92は直径600 μ mと大きいので、ICチップをマザーボードへ直接取り付けることができないため、パッケージ基板にて中継を行っている。

パッケージ基板は、ICチップ側半田パッド675U及びマザーボード側半田パッド675Dを、それぞれ上述したICチップ側のパッド82及びマザーボード側のパッド92の大きさに対応させて形成してある。このため、パッケージ基板600のICチップ側の表面に占める半田パッド675Uの面積の割合と、マザーボード側の表面に占める半田パッド675Dの面積の割合とが異なっている。ここで、層間樹脂絶縁層650及びコア基板630は、樹脂により形成されており、半田パッド675U、675Dは、ニッケル等の金属で形成されている。このため、製造工程において、層間樹脂絶縁層650、750の硬化、乾燥等により当該樹脂部分を収縮させた際に、上述したICチップ側の表面に占める半田パッド675Uの面積の割合と、マザーボード側の表面に占める半田パッド675Dの面積の割合との差から、パッケージ基板に、ICチップ側への反りを発生させることがあった。更に、ICチップを載置させて実際に使用される際にも、ICチップに発生する熱により収縮を繰り返した際に、該樹脂部分と金属部分である半田パッドとの収縮率の差から、反りを生じさせることがあった。

一方、パッケージ基板として用いられる多層基板においては、複数層の導体回路の内の1層分の導体回路をグランド層、或いは、電源層として用いることが、ノイズの低減等の目的で行われている。しかしながら、第23図に示すように従来技術に係る多層配線板では、該グランド層（或いは電源層）から外部端子への接続は、配線を介して行っていた。即ち、基板630の上層にグランド層となる配線658A、658B（導体回路）が形成されている。該配線（グランド層）658Bは、バイアホール660Bを介して配線658D-Sに接続され、該配線658D-Sがバイアホール660Dを介して半田バンプ676Uへ接続されている。

ここで、グランド層658Dと半田バンプ676Uとの接続を配線658D-Sを介して行うため、該配線658D-Sにノイズが乗り易く、該ノイズが集積チップ等の多層配線板に接続される電子素子の誤動作の原因となっていた。

また、該配線を多層配線板内に引き回すためのスペースが必要となり、高密度化を阻害していた。

他方、パッケージ基板には、一般的にＩＣチップとマザーボード間の信号のノイズの低減等を行うコンデンサが内部に形成されている。第２３図に示す例
5 では、コア基板６３０の両面に設けられる内層導体回路６５８Ｂ、６５８Ａを電源層及びグランド層として形成することで、コア基板６３０を介在させてコンデンサを形成している。

第２４図（Ａ）は、コア基板６３０の上面に形成された内層導体回路６５８
10 Ｂの平面図である。該内層導体回路６５８Ｂには、グランド層６３８Ｇと、上層と下層との接続用のランドーパッド６４０とが形成され、該ランドーパッド６４０の周囲には絶縁緩衝帯６４２が形成されている。

ランドーパッド６４０は、第２３図に示すコア基板６３０を貫通するスルー
15 ホール６３６のランド６４０ａと、上層の層間樹脂絶縁層６５０を貫通するバイアホール６６０Ａへ接続するパッド６４０ｂと、該ランド６４０ａとパッド６４０ｂとを接続する配線６４０ｃとから構成されている。

ここで、従来技術のパッケージ基板においては、ランド６４０ａとパッド
20 ６４０ｂとを配線６４０ｃを介して接続していたため、上層の導体層と下層の導体層との間の伝送路が長くなり、信号の伝達が遅れると共に、接続抵抗が高くなっていた。

また、第２４の（Ａ）に示すように、該ランドーパッド６４０において、配
25 線６４０ｃとランド６４０ａとの間及び配線６４０ｃとパッド６４０ｂとの間の接続部に角部Ｋができる。パッケージ基板のヒートサイクルにおいて、樹脂製のコア基板６３０及び層間樹脂絶縁層６５０と銅等の金属製のランドーパッド６４０との熱膨張率の違いから、該角部Ｋにて応力が集中し、第２３図に示すようにクラックＬ１を層間樹脂絶縁層６５０に発生させ、該層間樹脂絶縁層
650 上の導体回路６５８Ｄ或いはバイアホール６６０Ｄに断線を生ぜしめることがあった。

一方、マザーボード９０側の半田バンプ６７６Ｄは、内層の導体回路６５８
30 Ｃと、バイアホール６６０Ｄ－配線６７８－半田パッド６７５を介して接続されている。第２４図（Ｂ）は、第２３図中のバイアホール６６０Ｄ及び半田バ

- 4 -

ンプ 6 7 5 D を C 側から見た状態を拡大して示している。半田バンプ 6 7 6 D を載置する半田バンプ 6 7 5 は円形に形成され、上述したように円形に形成されたバイアホール 6 6 0 D へ配線 6 7 8 を介して接続されている。

5 I C チップ 8 0 は、動作中の高温状態と、動作の終了に伴う常温まで冷却とのヒートサイクルを繰り返す。ここで、シリコンから成る I C チップ 8 0 と、樹脂製のパッケージ基板 6 0 0 とは、熱膨張率が大きく異なるため、該ヒートサイクルにおいてパッケージ基板 6 0 0 に応力が発生し、パッケージ基板 6 0 0 とマザーボード 9 0 との間の封止樹脂 9 4 にクラック L 2 を発生させる。ここで、該樹脂 9 4 にクラック L 2 が発生すると、該クラック L 2 が伸張し、パ
10 ッケージ基板 6 0 0 のバイアホール 6 6 0 D と半田バンプ 6 7 5 D との接続を断つことがあった。即ち、第 2 3 図中のバイアホール 6 6 0 D 及び半田バンプ 6 7 5 を D 側から見た状態を拡大して示す第 2 4 図 (C) のように、半田バンプ 6 7 6 D を載置する半田バンプ 6 7 5 D とバイアホール 6 6 0 D とを接続する配線 6 7 8 が、クラック L 2 により断線されることがあった。

15

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、半田バンプを有する反りのないパッケージ基板を提供することにある。

20 本発明の目的とするところは、ノイズからの影響を受け難い多層配線板及び多層プリント配線板を提供することにある。

本発明の目的とするところは、上層の導体配線と下層の導体配線との間の伝送路を短縮できるパッケージ基板を提供することにある。

本発明の目的とするところは、半田バンプとバイアホールとの間に断線を生じしめないパッケージ基板を提供することにある。

25

発明の開示

請求項 1 の発明においては、パッケージ基板の I C チップ側は、半田パッドが小さいため、半田パッドによる金属部分の占める割合が小さく、マザーボード等の基板側は、半田パッドが大きいため、金属部分の割合が大きい。ここで、
30 パッケージ基板の I C チップ側の導体回路のパターン間に、ダミーパターンを

形成することで、金属部分を増やし、該ＩＣチップ側とマザーボード側との金属部分の比率を調整し、パッケージ基板に反りを発生させないようにしている。ここで、ダミーパターンとは、電気接続或いはコンデンサ等の意味を持たず、単に機械的な意味合いで形成されるパターンを言う。

- 5 請求項２の発明においては、パッケージ基板のＩＣチップ側は、半田パッドが小さいため、半田パッドによる金属部分の占める割合が小さく、マザーボード等の基板側は、半田パッドが大きいため、金属部分の割合が大きい。ここで、パッケージ基板のＩＣチップ側の導体回路の外周に、ダミーパターンを形成することで、金属部分を増やし、該ＩＣチップ側とマザーボード側との金属部分
- 10 の比率を調整すると共に、金属製のダミーパターンにてパッケージ基板の外周部の機械的強度を高め、パッケージ基板に反りを発生させないようにしている。

- 請求項３のパッケージ基板においては、最外層の導体回路を支持する絶縁層の下層の内層導体回路を電源層および／またはグランド層とし、該第２導体回路にバイアホールを直接接続し、該バイアホールに半田バンプを形成してある
- 15 のので、電源層或いはグランド層と半田バンプとを接続する配線が無くなる。このため、配線に重畳するノイズによる影響を受けなくなる。

- 請求項４のパッケージ基板においては、最外層導体回路を支持する第２層間樹脂絶縁層の下側に配設される第２導体回路を電源層および／またはグランド層とし、該第２導体回路にバイアホールを直接接続し、該バイアホールに半田
- 20 バンプを形成してあるので、電源層或いはグランド層と半田バンプとを接続する配線が無くなる。このため、配線に重畳するノイズによる影響を受けなくなる。

- 請求項５及び６のパッケージ基板においては、ランドとパッドとを一体化し、該ランドとパッドとを配線を介さずに接続してあるため、上層の導体層と下層
- 25 の導体層との間での伝送路を短縮すると共に、抵抗値を低減することができる。また、該ランドとパッドとを配線を介さずに接続してあるので、配線とランドとの間及び配線とパッドの間の接続部で応力が集中せず、応力集中によって発生するクラックによる断線をパッケージ基板内に生じさせない。

- 請求項７のパッケージ基板においては、半田バンプをバイアホールに形成することで、半田バンプとバイアホールとを直接接続しているため、パッケージ
- 30

基板にクラックが入っても半田バンプとバイアホールとの間に断線が生じない。即ち、バイアホールに配線を介して半田パッドを接続し、該半田パッドに半田バンプを載置したパッケージ基板においては、内部にクラックが入った際に、該クラックによってバイアホールと半田パッドとを接続する配線が断線し、半田バンプとバイアホールとの接続が断たれることがあったが、請求項 7 のパッケージ基板では、クラックにより当該断線が生じることがない。

請求項 8 のパッケージ基板においては、半田バンプをバイアホールに形成することで、半田バンプとバイアホールとを直接接続しているため、パッケージ基板にクラックが入っても半田バンプとバイアホールとの間に断線が生じない。また、半田バンプを複数のバイアホールに形成してあるので、複数のバイアホールの内の 1 つが例え内部で接続が取れていなくとも、他のバイアホールにて半田バンプとの接続が取れるため、フェールセーフを具現化できる。また、半田バンプを複数のバイアホールに形成するため、バイアホールに対して半田バンプを大きく形成することができる。

なお、本発明においてはダミーパターンが電源あるいはグランド層に電氣的に接続されていてもよく、又は、ダミーパターン自体が電源グランド層であってもよい。信号線のノイズを防止できるからである。

図面の簡単な説明

第 1 図は、本発明の第 1 実施形態に係るパッケージ基板を示す断面図である。
第 2 図は、第 1 図に示すパッケージ基板の X 1 - X 1 横断面図である。

第 3 図～第 9 図は、本発明の第 1 実施形態に係るパッケージ基板の製造工程を示す図である。

第 10 図は、本発明の第 2 実施形態に係るパッケージ基板を示す断面図である。

第 11 図 (A) は、第 2 実施形態に係るパッケージ基板の平面図であり、第 11 図 (B) は IC チップの底面図である。

第 12 図は、第 10 図に示すパッケージ基板に IC チップを載置し、マザーボードへ取り付けした状態を示す断面図である。

第 13 図は、本発明の第 3 実施形態に係る多層プリント配線板を示す断面図である。

第 1 4 図は、本発明の第 3 実施形態の改変例に係る多層プリント配線板の構成を示す断面図である。

第 1 5 図は、本発明の第 4 実施形態に係るパッケージ基板を示す断面図である。

- 5 第 1 6 図 (A) は、第 4 実施形態に係るパッケージ基板の内層銅パターンの形成されたコア基板の平面図であり、第 1 6 図 (B) は、第 1 6 図 (A) の一部を拡大して示す平面図である。

第 1 7 図は、本発明の第 4 実施形態の改変例に係るパッケージ基板を示す断面図である。

- 10 第 1 8 図 (A) は、第 4 実施形態の改変例に係るパッケージ基板に形成された導体回路の平面図であり、第 1 8 図 (B) は、第 1 8 図 (A) の一部を拡大して示す平面図である。

第 1 9 図は、本発明の第 5 実施形態に係るパッケージ基板を示す断面図である。

- 15 第 2 0 図は、第 1 9 図に示すパッケージ基板に I C チップを載置し、マザーボードへ取り付けられた状態を示す断面図である。

第 2 1 図は、本発明の第 5 実施形態の改変例に係るパッケージ基板を示す断面図である。

第 2 2 図は、第 2 1 図のパッケージ基板の X 5 - X 5 横断面図である。

- 20 第 2 3 図は、従来技術に係るパッケージ基板の断面図である。

第 2 4 図 (A) は、第 2 3 図の内層導体回路の平面図であり、第 2 4 図 (B) は、第 2 3 図の C 矢視図であり、第 2 4 図 (C) は、第 2 3 図の D 矢視図である。

25

発明を実施するための最良の形態

(第 1 実施形態)

本発明の第 1 実施形態に係るパッケージ基板の構成について第 1 図を参照して説明する。第 1 図に断面を示す第 1 実施形態のパッケージ基板は、上面に集

- 30 積回路 (図示せず) を載置した状態で、マザーボード (図示せず) に取り付け

るためのいわゆる集積回路パッケージを構成するものである。該パッケージ基板は、上面に集積回路の bumps 側に接続するための半田 bumps 76 U が設けられ、下面側にマザーボードの bumps に接続するための半田 bumps 76 D が配設され、該集積回路－マザーボード間の信号等の受け渡し、及び、マザーボード側からの電源供給を中継する役割を果たしている。

パッケージ基板のコア基板 30 の上面及び下面には、グランド層となる内層銅パターン 34 U、34 D が形成されている。また、内層銅パターン 34 U の上層には、層間樹脂絶縁層 50 を介在させて信号線を形成する導体回路 58 U 及びダミーパターン 58 M が、又、該層間樹脂絶縁層 50 を貫通してビアホール 60 U 形成されている。導体回路 58 U 及びダミーパターン 58 M の上層には、層間樹脂絶縁層 150 を介して最外層の導体回路 158 U 及び該層間樹脂絶縁層 150 を貫通するビアホール 160 U が形成され、該導体回路 158 U、ビアホール 160 U には半田 bumps 76 U を支持する半田パッド 75 U が形成されている。ここで、IC チップ側の半田パッド 75 U は、直径 133 ～ 170 μm に形成されている。

一方、コア基板 30 の下面側のグランド層（内層銅パターン）34 D の上層（ここで、上層とは基板 30 を中心として上面については上側を、基板の下面については下側を意味する）には、層間樹脂絶縁層 50 を介して信号線を形成する導体回路 58 D が形成されている。該導体回路 58 D の上層には、層間樹脂絶縁層 150 を介して最外層の導体回路 158 D 及び該層間樹脂絶縁層 150 を貫通するビアホール 160 D が形成され、該導体回路 158 D、ビアホール 160 D には半田 bumps 76 D を支持する半田パッド 75 D が形成されている。ここで、マザーボード側の半田パッド 75 D は、直径 600 μm に形成されている。

第 1 図の X1－X1 断面を第 2 図に示す。即ち、第 2 図は、パッケージ基板の横断面を示し、第 2 図中の X1－X1 縦断面が第 1 図に相当する。第 2 図中に示すように、信号線を構成する導体回路 58 U－導体回路 58 U 間には、ダミーパターン 58 M が形成されている。ここで、ダミーパターンとは、電気接続或いはコンデンサ等の意味を持たず、単に機械的な意味合いで形成されるパターンを言う。

第23図を参照して上述した従来技術のパッケージ基板と同様に、第1実施形態に係るパッケージ基板において、ICチップ側の表面（上面）は、配設される半田パッドが小さいため（直径133～170 μ m）、半田パッドによる金属部分の占める割合が小さい。一方、マザーボード等の表面（下面）は、半田パッドが大きいため（直径600 μ m）、金属部分の割合が大きい。ここで、本実施形態のパッケージ基板では、パッケージ基板のICチップ側の信号線を形成する導体回路58U、58U間に、ダミーパターン58Mを形成することで、パッケージ基板のICチップ側の金属部分を増やし、該ICチップ側とマザーボード側との金属部分の比率を調整し、後述するパッケージ基板の製造工程、及び、使用中において反りを発生させないようにしてある。

引き続き、図1に示すパッケージ基板を製造する方法について一例を挙げて具体的に説明する。まず、A. 無電解めっき用接着剤、B. 層間樹脂絶縁剤、C. 樹脂充填剤、D. ソルダーレジストの組成について説明する。

A. 無電解めっき用接着剤調製用の原料組成物（上層用接着剤）

〔樹脂組成物 ①〕

クレゾールノボラック型エポキシ樹脂（日本化薬製、分子量2500）の25%アクリル化物を80wt%の濃度でDMDGに溶解させた樹脂液を35重量部、感光性モノマー（東亜合成製、アロニックスM315）3.15重量部、消泡剤（サンプロコ製、S-65）0.5重量部、NMP 3.6重量部を攪拌混合して得た。

〔樹脂組成物 ②〕

ポリエーテルスルホン（PES）12重量部、エポキシ樹脂粒子（三洋化成製、ポリマーボール）の平均粒径1.0 μ mのものを7.2重量部、平均粒径0.5 μ mのものを3.09重量部、を混合した後、さらにNMP 30重量部を添加し、ビーズミルで攪拌混合して得た。

〔硬化剤組成物 ③〕

イミダゾール硬化剤（四国化成製、2E4MZ-CN）2重量部、光開始剤（チバガイギー製、イルガキュア I-907）2重量部、光増感剤（日本化薬製、DETX-S）0.2重量部、NMP 1.5重量部を攪拌混合して得た。

B. 層間樹脂絶縁剤調製用の原料組成物（下層用接着剤）

〔樹脂組成物 ①〕

- 10 -

クレゾールノボラック型エポキシ樹脂（日本化薬製、分子量2500）の25%アクリル化物を80wt%の濃度でDMDGに溶解させた樹脂液を35重量部、感光性モノマー（東亜合成製、アロニックスM315）4重量部、消泡剤（サンノプコ製、S-65）0.5重量部、NMP 3.6重量部を攪拌混合して得た。

5 〔樹脂組成物 ②〕

ポリエーテルスルホン（PES）12重量部、エポキシ樹脂粒子（三洋化成製、ポリマーボール）の平均粒径 $0.5\mu\text{m}$ のものを14.49重量部、を混合した後、さらにNMP 30重量部を添加し、ビーズミルで攪拌混合して得た。

〔硬化剤組成物 ③〕

- 10 イミダゾール硬化剤（四国化成製、2E4MZ-CN）2重量部、光開始剤（チバガイギー製、イルガキュア I-907）2重量部、光増感剤（日本化薬製、DETX-S）0.2重量部、NMP 1.5重量部を攪拌混合して得た。

C. 樹脂充填剤調製用の原料組成物

〔樹脂組成物 ①〕

- 15 ビスフェノールF型エポキシモノマー（油化シェル製、分子量310、YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径 $1.6\mu\text{m}$ の SiO_2 球状粒子（アドマテック製、CRS 1101-CE、ここで、最大粒子の大きさは後述する内層銅パターンの厚み（ $15\mu\text{m}$ ）以下とする）170重量部、レベリング剤（サンノプコ製、ペレノールS 4）1.5重量部を攪拌混合することにより、その混合物の粘度を $23\pm 1^\circ\text{C}$ で45,000~49,000cps に調整して得た。
- 20

〔硬化剤組成物 ②〕

イミダゾール硬化剤（四国化成製、2E4MZ-CN）6.5重量部。

D. ソルダーレジスト組成物

- 25 DMDGに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）を46.67g、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂（油化シェル製、エピコート1001）15.0g、イミダゾール硬化剤（四国化成製、2E4MZ-CN）1.6g、感光性モノマーである多価アクリルモノマー（日本化薬製、R604）3g、同じく多価アクリルモノマー（共栄社化学製、DPE6A）1.5g、分散系消泡剤（サンノプコ社製、S-65）0.71g
- 30

を混合し、さらにこの混合物に対して光開始剤としてのベンゾフェノン（関東化学製）を 2 g、光増感剤としてのミヒラーケトン（関東化学製）を 0.2 g 加えて、粘度を 25℃で 2.0Pa・s に調整したソルダーレジスト組成物を得た。

- 5 なお、粘度測定は、B型粘度計（東京計器、DVL-B型）で 60rpmの場合はローターNo. 4、6 rpm の場合はローターNo. 3によった。

引き続き、第3図～第9図を参照してパッケージ基板100の製造方法を説明する。

E. パッケージ基板の製造

- 10 (1) 厚さ 1mmのガラスエポキシ樹脂またはBT（ビスマレイミドトリアジン）樹脂からなる基板30の両面に18μmの銅箔32がラミネートされている銅張積層板30Aを出発材料とした（第3図の工程（A）参照）。まず、この銅張積層板30Aをドリル削孔し、無電解めっき処理を施し、パターン状にエッチングすることにより、基板30の両面に内層銅パターン34U、34Dとスルーホール36を形成した（第3図の工程（B））。
- 15 (2) 内層銅パターン34U、34Dおよびスルーホール36を形成した基板30を水洗いし、乾燥した後、酸化浴（黒化浴）として、NaOH（10g／l）、NaClO₂（40g／l）、Na₃PO₄（6g／l）、還元浴として、NaOH（10g／l）、NaBH₄（6g／l）を用いた酸化－還元処理により、内層銅パターン34U、34Dおよびスルーホール36の表面に粗化層38を設けた（第3図の
- 20 工程（C）参照）。
- (3) Cの樹脂充填剤調製用の原料組成物を混合混練して樹脂充填剤を得た。
- (4) 前記(3)で得た樹脂充填剤40を、調製後24時間以内に基板30の両面にロールコータを用いて塗布することにより、導体回路（内層銅パターン）34Uと導体回路34Uとの間、及び、スルーホール36内に充填し、70℃、20分
- 25 間で乾燥させ、他方の面についても同様にして樹脂充填剤40を導体回路34間あるいはスルーホール36内に充填し、70℃、20分間で加熱乾燥させた（第3図の工程（D）参照）。
- (5) 前記(4)の処理を終えた基板30の片面を、#600のベルト研磨紙（三共理化学製）を用いたベルトサンダー研磨により、内層銅パターン34U、3
- 30 4Dの表面やスルーホール36のランド36a表面に樹脂充填剤40が残らな

いように研磨し、次いで、前記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った（第4図の工程（E）参照）。

- 5 次いで、100℃で1時間、120℃で3時間、150℃で1時間、180℃で7時間の加熱処理を行って樹脂充填剤40を硬化した。

- このようにして、スルーホール36等に充填された樹脂充填剤40の表層部および内層導体回路34U、34D上面の粗化層38を除去して基板30両面を平滑化した上で、樹脂充填剤40と内層導体回路34の側面とが粗化層38を介して強固に密着し、またスルーホール36の内壁面と樹脂充填剤40とが粗化層38を介して強固に密着した配線基板を得た。即ち、この工程により、樹脂充填剤40の表面と内層銅パターン34の表面が同一平面となる。

- 15 (6) 導体回路34U、34Dを形成した基板30にアルカリ脱脂してソフトエッチングして、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅 $3.2 \times 10^{-2} \text{mol/l}$ 、硫酸ニッケル $3.9 \times 10^{-3} \text{mol/l}$ 、錯化剤 $5.4 \times 10^{-2} \text{mol/l}$ 、次亜りん酸ナトリウム $3.3 \times 10^{-1} \text{mol/l}$ 、ホウ酸 $5.0 \times 10^{-1} \text{mol/l}$ 、界面活性剤（日信化学工業製、サーフィール465）0.1g/l、PH=9からなる無電解めっき液に浸漬し、浸漬1分後に、4秒当たり1回に割合で縦、および、横振動させて、導体回路34およびスルーホール36のランド36aの表面にCu-Ni-Pからなる針状合金の被覆層と粗化層42を設けた（第4図の工程（F）参照）。

- さらに、ホウフッ化スズ 0.1mol/l 、チオ尿素 1.0mol/l 、温度35℃、PH=1.2の条件でCu-Sn置換反応させ、粗化層の表面に厚さ $0.3 \mu\text{m}$ Sn層（図示せず）を設けた。

- 25 (7) Bの層間樹脂絶縁剤調製用の原料組成物を攪拌混合し、粘度 $1.5 \text{Pa} \cdot \text{s}$ に調整して層間樹脂絶縁剤（下層用）を得た。

次いで、Aの無電解めっき用接着剤調製用の原料組成物を攪拌混合し、粘度 $7 \text{Pa} \cdot \text{s}$ に調整して無電解めっき用接着剤溶液（上層用）を得た。

- 30 (8) 前記(6)の基板の両面に、前記(7)で得られた粘度 $1.5 \text{Pa} \cdot \text{s}$ の層間樹脂絶縁剤（下層用）44を調製後24時間以内にロールコートで塗布し、水平状

態で20分間放置してから、60℃で30分の乾燥（プリベーク）を行い、次いで、前記(7) で得られた粘度 $7 \text{ Pa} \cdot \text{s}$ の感光性の接着剤溶液（上層用）46を調製後24時間以内に塗布し、水平状態で20分間放置してから、60℃で30分の乾燥（プリベーク）を行い、厚さ $35 \mu\text{m}$ の接着剤層 50 α を形成した（第4図の工程（G）参照）。

(9) 前記(8) で接着剤層を形成した基板 30の両面に、 $85 \mu\text{m} \phi$ の黒円が印刷されたフォトマスクフィルム（図示せず）を密着させ、超高圧水銀灯により $500 \text{ mJ}/\text{cm}^2$ で露光した。これをDMTG溶液でスプレー現像し、さらに、当該基板 30を超高圧水銀灯により $3000 \text{ mJ}/\text{cm}^2$ で露光し、100℃で1時間、120℃で1時間、その後150℃で3時間の加熱処理（ポストベーク）をすることにより、フォトマスクフィルムに相当する寸法精度に優れた $85 \mu\text{m} \phi$ の開口（バイアホール形成用開口）48を有する厚さ $35 \mu\text{m}$ の層間樹脂絶縁層（2層構造）50を形成した（第5図の工程（H）参照）。なお、バイアホールとなる開口48には、スズめっき層（図示せず）を部分的に露出させた。

(10) 開口48が形成された基板 30を、クロム酸に19分間浸漬し、層間樹脂絶縁層 50の表面に存在するエポキシ樹脂粒子を溶解除去することにより、当該層間樹脂絶縁層 50の表面を粗化し（第5図の工程（I）参照）、その後、中和溶液（シプレイ社製）に浸漬してから水洗いした。

さらに、粗面化処理（粗化深さ $6 \mu\text{m}$ ）した該基板の表面に、パラジウム触媒（アトテック製）を付与することにより、層間樹脂絶縁層 50の表面およびバイアホール用開口48の内壁面に触媒核を付けた。

(11) 以下に示す組成の無電解銅めっき水溶液中に基板を浸漬して、粗面全体に厚さ $0.6 \mu\text{m}$ の無電解銅めっき膜 52を形成した（第5図の工程（J））。

〔無電解めっき水溶液〕

25	EDTA	150	g / l
	硫酸銅	20	g / l
	HCHO	30	ml / l
	NaOH	40	g / l
	α 、 α' - ビピリジル	80	mg / l
30	PEG	0.1	g / l

- 14 -

〔無電解めっき条件〕

70℃の液温度で30分

(12)前記(11)で形成した無電解銅めっき膜52上に市販の感光性ドライフィルムを張り付け、マスクを載置して、100 mJ/cm²で露光、0.8%炭酸ナトリウムで現像処理し、厚さ15μmのめっきレジスト54を設けた（第6図の工程（K）参照）。

(13)ついで、レジスト非形成部分に以下の条件で電解銅めっきを施し、厚さ15μmの電解銅めっき膜56を形成した（第6図の工程（L）参照）。

〔電解めっき水溶液〕

10	硫酸	180 g / l
	硫酸銅	80 g / l
	添加剤（アトテックジャパン製、カバラシドGL）	1 ml / l

〔電解めっき条件〕

15	電流密度	1 A / dm ²
	時間	30分
	温度	室温

(14)めっきレジスト54を5%KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜52を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜52と電解銅めっき膜56からなる厚さ18μmの導体回路58U、58D及びバイアホール60U、60Dを形成した（第6図の工程（M））。

(15)(6)と同様の処理を行い、導体回路58U、58D及びバイアホール60U、60Dの表面にCu-Ni-Pからなる粗化面62を形成し、さらにその表面にSn置換を行った（第7図の工程（N）参照）。

(16)前記(7)～(15)の工程を繰り返すことにより、さらに上層の導体回路を形成する。即ち、基板30の両面に、層間樹脂絶縁剤（下層用）をロールコートで塗布し、絶縁剤層144を形成する。また、この絶縁剤層144の上に感光性接着剤（上層用）をロールコートを用いて塗布し、接着剤層146を形成する（第7図の工程（O）参照）。絶縁剤層144および接着剤層146を形成

した基板 30 の両面に、フォトマスクフィルムを密着させ、露光・現像し、開口（バイアホール形成用開口 148）を有する層間樹脂絶縁層 150 を形成した後、該層間樹脂絶縁層 150 の表面を粗面とする（第 7 図の工程（P）参照）。その後、該粗面化処理した該基板 30 の表面に、無電解銅めっき膜 152 を形成する（第 8 図の工程（Q）参照）。引き続き、無電解銅めっき膜 152 上にめっきレジスト 154 を設けた後、レジスト非形成部分に電解銅めっき膜 156 を形成する（第 8 図の工程（R）参照）。そして、めっきレジスト 154 を KOH で剥離除去した後、そのめっきレジスト 154 下の無電解銅めっき膜 152 を溶解除去し導体回路 158 U、158 D 及びバイアホール 160 U、160 D を形成する（第 8 図の工程（S）参照）。そして、導体回路 158 及びバイアホール 160 の表面に形成した粗化面 162 の表面に粗化層 162 を形成する（第 9 図の工程 9（T））。但し、該導体回路 158 及びバイアホール 160 の表面に形成した粗化面 162 では、Sn 置換を行わなかった。

（17）前記（16）で得られた基板 30 両面に、上記 D. にて説明したソルダーレジスト組成物 70 α を $45\text{ }\mu\text{m}$ の厚さで塗布した。次いで、 70°C で 20 分間、 70°C で 30 分間の乾燥処理を行った後、円パターン（マスクパターン）が描画された厚さ 5 mm のフォトマスクフィルム（図示せず）を密着させて載置し、 1000 mJ/cm^2 の紫外線で露光し、DMTG 現像処理した。そしてさらに、 80°C で 1 時間、 100°C で 1 時間、 120°C で 1 時間、 150°C で 3 時間の条件で加熱処理し、はんだパッド部分（バイアホールとそのランド部分を含む）に開口（開口径 $200\text{ }\mu\text{m}$ ）71 を有するソルダーレジスト層（厚み $20\text{ }\mu\text{m}$ ）70 を形成した（第 9 図の工程（U）参照）。

（18）次に、塩化ニッケル $2.31 \times 10^{-1}\text{ mol/l}$ 、次亜リン酸ナトリウム $2.8 \times 10^{-1}\text{ mol/l}$ 、クエン酸ナトリウム $1.85 \times 10^{-1}\text{ mol/l}$ 、からなる $\text{pH} = 4.5$ の無電解ニッケルめっき液に該基板 30 を 20 分間浸漬して、開口部 71 に厚さ $5\text{ }\mu\text{m}$ のニッケルめっき層 72 を形成した。さらに、その基板を、シアン化金カリウム $4.1 \times 10^{-2}\text{ mol/l}$ 、塩化アンモニウム $1.87 \times 10^{-1}\text{ mol/l}$ 、クエン酸ナトリウム $1.16 \times 10^{-1}\text{ mol/l}$ 、次亜リン酸ナトリウム $1.7 \times 10^{-1}\text{ mol/l}$ からなる無電解金めっき液に 80°C の条件で 7 分 20 秒間浸漬して、ニッケルめっき層上に厚さ $0.03\text{ }\mu\text{m}$ の金めっき層 74 を形成することで、

- 16 -

バイアホール 160U、160D及び導体回路 158U、158Dに半田パッド 75U、75Dを形成した（第1図参照）。

(19)そして、ソルダーレジスト層 70の開口部 71に、半田ペーストを印刷して 200℃でリフローすることにより、半田バンプ（半田体） 76U、76Dを形成し、パッケージ基板 10を形成した（第1図参照）。

なお、上述した実施形態では、セミアディティブ法により形成するパッケージ基板を例示したが、本発明の構成は、フルアディティブ法により形成するパッケージ基板にも適用し得ることは言うまでもない。

第1実施形態では、層間樹脂絶縁層 50と層間樹脂絶縁層 150との間に形成される導体回路 58U間にダミーパターン 58Mを形成したが、この代わりに、コア基板 30上に形成される内層銅パターン 34D、或いは、最外層の導体回路 158U間にダミーパターン 58Mを形成することも可能である。

以上説明したように第1実施形態のパッケージ基板においては、パッケージ基板のICチップ側の信号線を形成する導体回路間に、ダミーパターンを形成し、パッケージ基板のICチップ側の金属部分を増やし、該ICチップ側とマザーボード側との金属部分の比率を調整してあるため、パッケージ基板の製造工程、及び、使用中において反りを発生させることがない。

（第2実施形態）

本発明の第2実施形態に係るパッケージ基板の構成について第10図～第12図を参照して説明する。第10図は、第2実施形態のパッケージ基板の断面を示し、第11図（A）は、パッケージ基板の平面を示し、第11図（B）は、該パッケージ基板に取り付けられるICチップの底面を示し、第12図は、第10図に示すパッケージ基板の上面にICチップ 80を載置した状態で、マザーボード 90に取り付けた状態の断面を示している。該パッケージ基板は、第12図に示すように上面にICチップ 80のバンプ 82側に接続するための半田バンプ 76Uが設けられ、下面側にマザーボード 90のバンプ 92に接続するための半田バンプ 76Dが配設され、該ICチップ 80－マザーボード 90間の信号等の受け渡し、及び、マザーボード側からの電源供給を中継する役割を果たす。

第10図に示すように、パッケージ基板のコア基板 30の上面及び下面には、

グランド層となる内層銅パターン 3 4 U、3 4 D が形成されている。また、内層銅パターン 3 4 U の上層には、層間樹脂絶縁層 5 0 を介在させて信号線を形成する導体回路 5 8 U、又、該層間樹脂絶縁層 5 0 を貫通してバイアホール 6 0 U が形成されている。導体回路 5 8 U の上層には、層間樹脂絶縁層 1 5 0 を介して最外層の導体回路 1 5 8 U、ダミーパターン 1 5 9 及び該層間樹脂絶縁層 1 5 0 を貫通するバイアホール 1 6 0 U が形成されている。該ダミーパターン 1 5 9 は、第 1 1 図に示すように導体回路 1 5 8 U の外周、即ち、パッケージ基板の周縁部に沿って形成されている。上記導体回路 1 5 8 U、バイアホール 1 6 0 U には半田バンプ 7 6 U を支持する半田パッド 7 5 U が形成されている。ここで、IC チップ側の半田パッド 7 5 U は、直径 1 2 0 ~ 1 7 0 μm に形成されている。

一方、コア基板 3 0 の下面側のグランド層（内層銅パターン）3 4 D の上層には、層間樹脂絶縁層 5 0 を介して信号線を形成する導体回路 5 8 D が形成されている。該導体回路 5 8 D の上層には、層間樹脂絶縁層 1 5 0 を介して最外層の導体回路 1 5 8 D 及び該層間樹脂絶縁層 1 5 0 を貫通するバイアホール 1 6 0 D が形成され、該導体回路 1 5 8 D、バイアホール 1 6 0 D には半田バンプ 7 6 D を支持する半田パッド 7 5 D が形成されている。ここで、マザーボード側の半田パッド 7 5 D は、直径 6 0 0 ~ 7 0 0 μm に形成されている。

第 1 1 図 (A) は、パッケージ基板 2 0 0 の平面図、即ち、第 1 0 図の A 矢視図である。ここで、第 1 0 図は、第 1 1 図 (A) の X 2 - X 2 縦断面に相当する。第 1 1 図 (A) 及び第 1 0 図中に示すように、信号線を構成する導体回路 1 5 8 U の外周には、幅 1 0 mm のダミーパターン 1 5 9 がソルダーレジスト 7 0 の下層に形成されている。ここで、ダミーパターンとは、電気接続或いはコンデンサ等の意味を持たず、単に機械的な意味合いで形成されるパターンを言う。

第 2 3 図を参照して上述した従来技術のパッケージ基板と同様に、第 2 実施形態に係るパッケージ基板において、IC チップ 8 0 側の表面（上面）は、半田パッド 7 6 U が小さいため（直径 1 2 0 ~ 1 7 0 μm ）、半田パッドによる金属部分の占める割合が小さい。一方、マザーボード 9 0 側の表面（下面）は、半田パッド 7 5 D が大きい（直径 6 0 0 ~ 7 0 0 μm ）、金属部分の割合

- 18 -

5 が大きい。ここで、本実施形態のパッケージ基板では、パッケージ基板のＩＣチップ側の最外層導体回路１５８Ｕの外周に、ダミーパターン１５９を形成することで、パッケージ基板のＩＣチップ側の金属部分を増やし、該ＩＣチップ側とマザーボード側との金属部分の比率を調整すると共に、金属製のダミーパターン１５９によりパッケージ基板の周縁部の機械強度を高め、後述するパッケージ基板の製造工程、及び、使用中において反りを発生させないようにしてある。

10 完成したパッケージ基板の平面図（第１０図のＡ矢視図）を第１１図（Ａ）に示し、第１１図（Ｂ）にＩＣチップの底面図を示す。該パッケージ基板１００にＩＣチップ８０を載置させた状態でリフロー炉を通過させて、第１２図に示すように、半田バンプ７６Ｕを介して該ＩＣチップを取り付ける。その後、ＩＣチップを組み込んだパッケージ基板１００を、マザーボード９０に載置し、リフロー炉を通過させることで、該パッケージ基板１００のマザーボード９０への取り付けを行う。

15 この第２実施形態～後述する第５実施形態のパッケージ基板の製造方法は、第３図～第９図を参照して上述した第１実施例と同様であるため説明を省略する。

20 なお、上述した第２実施形態では、層間樹脂絶縁層１５０上の最外層の導体回路１５８Ｕの周囲にダミーパターン１５９を形成したが、この代わりに、コア基板３０上に形成される内層銅パターン３４Ｄ、或いは、層間樹脂絶縁層５０－層間樹脂絶縁層１５０間の導体回路５８Ｕの周囲にダミーパターン１５９を形成することも可能である。

25 以上説明したように第２実施形態のパッケージ基板においては、パッケージ基板のＩＣチップ側の導体回路の周囲に、ダミーパターンを形成し、パッケージ基板のＩＣチップ側の金属部分を増やし、該ＩＣチップ側とマザーボード側との金属部分の比率を調整してあるため、パッケージ基板の製造工程、及び、使用中において反りを発生させることがない。

（第３実施形態）

30 本発明の第３実施形態に係るパッケージ基板の構成について第１３図を参照して説明する。

パッケージ基板 300 のコア基板 30 の上面には、信号線となる内層銅パターン 34 U が、下面には信号線となる内層銅パターン 34 D 形成されている。また、内層銅パターン 34 U の上層には、層間樹脂絶縁層 50 を介在させて電源層を形成する導体回路 58 U が形成されている。導体回路 58 U の上層には、
5 層間樹脂絶縁層 150 を介して最外層の導体回路 158 U 及び該層間樹脂絶縁層 150 を貫通するバイアホール 160 U が形成され、該バイアホール 160 U には半田バンプ 76 U が形成されている。即ち、第 3 実施形態では、電源層を形成する導体回路 58 U に取り付けられたバイアホール 160 U に半田バンプ 76 U が形成され、外部のバンプ（図示せず）へ直接該電源層を接続できるように構成されている。
10

一方、コア基板 30 の下面側の信号線（内層銅パターン） 34 D の上層には、層間樹脂絶縁層 50 を介してグランド層となる導体回路 58 D が形成されている。該導体回路 58 D の上層には、層間樹脂絶縁層 150 を介して最外層の導体回路 158 D 及び該層間樹脂絶縁層 150 を貫通するバイアホール 160 D が形成され、該バイアホール 160 D には半田バンプ 76 D が形成されている。即ち、本実施形態では、グランド層を形成する導体回路 58 D に取り付けられたバイアホール 160 D に半田バンプ 76 D が形成され、外部のバンプ（図示せず）へ直接該グランド層を接続できるように構成されている。
15

本実施形態の構成では、最外層の導体回路 158 U、158 D を支持する層間樹脂絶縁層 150 の下側に配設される導体回路 58 U、58 D を電源層、グランド層とし、該導体回路 58 U、58 D にバイアホール 160 U、160 D を直接接続し、該バイアホールに半田バンプ 76 U、76 D を形成してあるので、電源層或いはグランド層と半田バンプとを接続する配線が無くなる。このため、配線に重畳するノイズによる影響を受けなくなり、集積回路－マザーボード間の信号等の受け渡し、及び、マザーボード側からの電源供給を中継する際におけるノイズの影響を低減することができる。また、配線がない分、多層プリント配線板の高密度化を図れる。なお、本実施形態の多層プリント配線板においては、導体回路 58 U を電源層に、導体回路 58 D をグランド層にそれぞれしたが、導体回路 58 U 又は導体回路 58 D は、同一層内に電源層として
25
30 機能する導体回路と、グランド層として機能する導体回路とを併設して形成し

てもよい。

引き続き、第3実施形態の改変例に係る多層プリント配線板について第14図を参照して説明する。

第14図は、本発明の第2実施形態に係る多層プリント配線板の構成を示す断面図である。コア基板230の上面及び下面には、グラウンド層となる内層銅パターン234U、234Dが形成されている。即ち、基板230を介在させて対向するグラウンド層（内層銅パターン）234U及びグラウンド層（内層銅パターン）234Dによりコンデンサが形成されている。

また、内層銅パターン234Uの上層には、層間樹脂絶縁層250を介在させて信号線を形成する導体回路258Uが形成されている。該導体回路258Uの上層には、層間樹脂絶縁層350を貫通するビアホール360Uが形成され、該ビアホール360Uには半田バンプ376Uが形成されている。

一方、基板230の下面側のグラウンド（内層銅パターン）234Dの上層には、層間樹脂絶縁層250を介して信号線となる導体回路258Dが形成されている。該導体回路258Dの上層には、層間樹脂絶縁層350を介して電源層となる導体回路388Dが形成されている。該導体回路388Dの上層には、層間樹脂絶縁層390を貫通するビアホール380Dが形成され、該ビアホール380Dには半田バンプ376Dが形成されている。即ち、本実施形態では、電源層を形成する導体回路388Dに取り付けられたビアホール380Dに半田バンプ376Dが形成され、外部のバンプ（図示せず）に直接該電源層を接続できるように構成されている。

第3実施形態の改変例の構成では、電源層を構成する導体回路388Dにビアホール380Dを直接接続し、該ビアホールに半田バンプ376Dを形成してあるので、電源層と半田バンプとを接続する配線が無くなる。このため、配線に重畳するノイズによる影響を受けなくなる。

以上説明したように第3実施形態のパッケージ基板においては、最外層の導体回路を支持する絶縁層の下層の内層導体回路を電源層および／またはグラウンド層とし、該第2導体回路にビアホールを直接接続し、該ビアホールに半田バンプを形成してあるので、電源層或いはグラウンド層と半田バンプとを接続する配線が無くなる。このため、配線に重畳するノイズによる影響を受けなく

なる。また、配線無くし得る分、多層配線板の高密度化を図ることが可能となる。

また第3実施形態のパッケージ基板においては、最外層導体回路を支持する第2層間樹脂絶縁層の下側に配設される第2導体回路を電源層および／またはグランド層とし、該第2導体回路にバイアホールを直接接続し、該バイアホールに半田バンプを形成してあるので、電源層或いはグランド層と半田バンプとを接続する配線がなくなる。このため、配線に重畳するノイズによる影響を受けなくなる。また、配線無くし得る分、多層プリント配線板の高密度化を図ることが可能となる。

10 (第4実施形態)

本発明の第4実施形態に係るパッケージ基板の構成について第15図を参照して説明する。パッケージ基板400のコア基板30の上面及び下面には、グランド層となる内層銅パターン34U、34Dが形成されている。また、内層銅パターン34Uの上層には、層間樹脂絶縁層50を介在させて信号線を形成する導体回路58U、及び、該層間樹脂絶縁層50を貫通してバイアホール60Uが形成されている。導体回路58Uの上層には、層間樹脂絶縁層150を介して最外層の導体回路158U及び該層間樹脂絶縁層150を貫通するバイアホール160Uが形成され、該導体回路158U、バイアホール160Uには半田バンプ76Uを支持する半田パッド75Uが形成されている。ここで、ICチップ側の半田パッド75Uは、直径133～170 μ mに形成されている。

一方、コア基板30の下面側の内層銅パターン34Dの上層には、層間樹脂絶縁層50を介して信号線を形成する導体回路58Dが形成されている。該導体回路58Dの上層には、層間樹脂絶縁層150を介して最外層の導体回路158D及び該層間樹脂絶縁層150を貫通するバイアホール160Dが形成され、該導体回路158D、バイアホール160Dには半田バンプ76Dを支持する半田パッド75Dが形成されている。このマザーボード側の半田パッド75Dは、直径600 μ mに形成されている。また、コア基板30を介在させて対向する内層銅パターン34U、34Dには、グランド（電極）層が配設されており、両内層銅パターン34U、34Dによりコンデンサが形成されている。

- 22 -

第16図(A)は、コア基板30の上面に形成された内層銅パターン34Uの平面図である。この内層銅パターン34Uには、グランド層34Gと、上層側と下層側とを接続するためのランドーパッド41とが形成されている。この第16図(A)中のBで示す領域内のランドーパッド41を拡大して第16図(B)に示す。第16図(B)のX3-X3断面が第15図のX3-X3断面に相当する。

第16図(B)に示すように該ランドーパッド41は、第15図に示すスルーホール36のランド41aと、上層の層間樹脂絶縁層50を貫通するパイアホール60Uへ接続するパッド41bとを一体化したものであり、該ランドーパッド41の周囲には、約200 μ m幅の絶縁緩衝帯43が配設されている。

ここで、本実施形態のパッケージ基板においては、第16図(B)に示すようにランド41aとパッド41bとを一体化し、該ランド41aとパッド41bとを配線を介さずに接続してあるため、下層(コア基板30の下層側の導体回路58D)と上層(層間樹脂絶縁層50)の上側の導体配線58Uとの間の伝送路を短縮し、信号の伝送速度を高めると共に、抵抗値を低減することができる。また、該ランド41aとパッド41bとを配線を介さずに接続してあるので、第24図(A)を参照して上述した従来技術のパッケージ基板のように配線とランドとの間及び配線とパッドとの間の接続部で応力が集中せず、応力集中によって発生するクラックによる断線をパッケージ基板内に生じさせない。

ここでは、コア基板30の上側の内層銅パターン34Uについて図示及び説明を行ったが、下側の内層銅パターン34Dについても同様に構成されている。

引き続き、本発明の第4実施形態の改変例に係るパッケージ基板について第17図及び第18図を参照して説明する。第15図を参照して上述した第4実施形態においては、コア基板30の両面に形成される内層銅パターン34U、34Dにグランド層(電極層)34G及びランドーパッド41が形成された。これに対して、第2実施形態では、層間樹脂絶縁層50の上層に形成される導体回路58U、58Dに第16図(A)を参照したと同様に電源層(電極層)58G及びランドーパッド61が形成される。

第17図は、第4実施形態の改変例のパッケージ基板の断面図であり、第18図(A)は、層間樹脂絶縁層50の上面に形成された導体回路58Uの平面

図である。この導体回路 5 8 U には、電源層 5 8 G と、上層側と下層側とを接続するためのランドーパッド 6 1 とが形成されている。第 1 8 図 (A) 中の B で示す領域内のランドーパッド 6 1 を拡大して第 1 8 図 (B) に示す。第 1 8 図 (B) の X 4 - X 4 断面が第 1 7 図の X 4 - X 4 断面に相当する。

5 第 1 7 図に示すように該ランドーパッド 6 1 は、内層銅パターン 3 4 U に接続されたバイアホール 6 0 U のランド 6 1 a と、上層の層間樹脂絶縁層 1 5 0 を貫通するバイアホール 1 6 0 U へ接続するパッド 6 1 b とを一体にしたものであり、該ランドーパッド 6 1 の周囲には、第 1 8 図 (B) に示すように約 2 0 0 μ m 幅の絶縁緩衝帯 6 3 が配設されている。

10 この第 4 実施形態の改変例のパッケージ基板においても、ランド 6 1 a とパッド 6 1 b とを一体化し、該ランド 6 1 a とパッド 6 1 b とを配線を介さずに接続してあるため、下層 (コア基板 3 0 の上層側の内層銅パターン 3 4 U) と上層 (層間樹脂絶縁層 1 5 0) の上側の 1 導体配線 1 5 8 U との間での伝送路を短縮し、信号の伝送速度を高めると共に、抵抗値を低減することができる。

15 また、該ランド 6 1 a とパッド 6 1 b とを配線を介さずに接続してあるので、第 2 4 図 (A) を参照して上述した従来技術のパッケージ基板のように配線とランドとの間及び配線とパッドとの間の接続部で応力が集中せず、応力集中によって発生するクラックによる断線をパッケージ基板内に生じさせない。

20 なお、上述した実施形態では、円形に形成されたランドとパッドとを一体化したが、本発明では、楕円、多角形等の種々の形状のランドとパッドとを一体化にすることができる。

25 以上説明したように第 4 実施形態のパッケージ基板においては、ランドとパッドとを配線を介さずに接続してあるため、下層と上層の導体配線 (導体層) 間での伝送路を短縮し、信号の伝送速度を高めると共に、抵抗値を低減することができる。また、該ランドとパッドとを配線を介さずに接続してあるので、配線とランドとの間及び配線とパッドとの間の接続部で応力が集中せず、応力集中によって発生するクラックによる断線をパッケージ基板内に生じさせない。

(第 5 実施形態)

30 本発明の第 5 実施形態に係るパッケージ基板の構成について第 1 9 図及び第 2 0 図を参照して説明する。第 1 9 図に断面を示す第 5 実施形態のパッケージ

基板 500 は、第 20 図に示すように上面に IC チップ 80 を載置した状態で、マザーボード 90 に取り付けるためのいわゆる集積回路パッケージを構成するものである。

パッケージ基板のコア基板 30 の上面及び下面には、グランド層となる内層銅パターン 34 U、34 D が形成されている。また、内層銅パターン 34 U の上層には、層間樹脂絶縁層 50 を介在させて信号線を形成する導体回路 58 U が、又、該層間樹脂絶縁層 50 を貫通してバイアホール 60 U が形成されている。導体回路 58 U の上層には、層間樹脂絶縁層 150 を介して最外層の導体回路 158 U 及び該層間樹脂絶縁層 150 を貫通するバイアホール 160 U が形成され、該導体回路 158 U、バイアホール 160 U には半田バンプ 76 U を支持する半田パッド 75 U が形成されている。ここで、IC チップ側の半田パッド 75 U は、直径 133 ~ 170 μm に形成されている。

一方、コア基板 30 の下面側のグランド層（内層銅パターン）34 D の上層には、層間樹脂絶縁層 50 を介して信号線を形成する導体回路 58 D が形成されている。該導体回路 58 D の上層には、層間樹脂絶縁層 150 を介して最外層の導体回路 158 D 及び該層間樹脂絶縁層 150 を貫通するバイアホール 160 D が形成され、該バイアホール 160 D には半田バンプ 76 D を支持する半田パッド 75 D が形成されている。ここで、マザーボード側の半田パッド 75 D は、直径 600 μm に形成されている。

この第 5 実施形態のパッケージ基板においては、マザーボード 60 側の半田バンプ 76 D をバイアホール 160 D に形成することで、半田バンプとバイアホールとを直接接続しているため、パッケージ基板にクラックが入っても半田バンプ 76 D とバイアホール 160 D との間に断線が生じない。即ち、第 23 図（B）を参照して上述した従来技術に係るバイアホール 360 に配線 378 を介して半田パッド 375 D を接続し、該半田パッド 375 D に半田バンプ 376 D を載置したパッケージ基板 600 においては、内部にクラック L2 が入った際に、該クラック L2 によってバイアホール 376 D と半田パッド 376 D とを接続する配線 378 が断線し、半田バンプ 376 D とバイアホール 360 D との接続が断たれることがあった。これに対して、第 5 実施形態のパッケージ基板では、例えクラックが発生しても、クラックにより半田バンプ 76 D

とバイアホール160Dとの間に断線が生じることがない。

引き続き、第19図に示す第5実施形態に係るパッケージ基板500へのICチップ80を取り付けについて説明する。第20図に示すように、パッケージ基板500の半田バンプ76Uに、ICチップ80を、該ICチップの半田パッド82が対応するように載置し、加熱炉を通過させることにより、パッケージ基板500の半田パッド76UをICチップ80の半田パッド82に融着させることによって、パッケージ基板500とICチップ80との接続を取る。

その後、加熱により半田バンプ76Uを半田パッド82に融着及び固化させる際に染み出した半田フラックスの浄化を行う。ここでは、クロロセンなどの有機溶剤を、ICチップ80とパッケージ基板500との隙間に流し込み、半田フラックスを除去する。その後、ICチップ80とパッケージ基板500との隙間に樹脂を充填して、樹脂封止を行う。図示しないが、同時にICチップ80全体に樹脂をモールドすることにより、ICチップ80の取り付けが完了する。

引き続き、マザーボード90へのパッケージ基板500の取り付けを行う。マザーボードの半田パッド92にパッケージ基板500の半田バンプ76Dが対応するように載置し、加熱炉を通過させることにより、パッケージ基板500の半田パッド76Dをマザーボード90の半田パッド92に融着させることによって、パッケージ基板500とマザーボード90との接続を取る。その後、第20図に示すようにパッケージ基板500とマザーボード90との隙間に樹脂94を充填して、樹脂封止を行い、取り付けが完了する。

引き続き、本発明の第5実施形態の改変例に係るパッケージ基板501について、第20図及び第21図を参照して説明する。

第19図を参照して上述した第5実施形態のパッケージ基板500においては、1つのバイアホール160Dに1つの半田バンプ76Dを載置した。これに対して、第5実施形態のパッケージ基板501においては、第21図に示すように複数（3つ）のバイアホール260、260、260に1つの半田バンプ276を載置する。即ち、第21図のX5-X5断面に相当する第22図（第22図中のX6-X6ラインが第21図のX5-X5ラインに相当）のように、バイアホール260は、3つ近接して構成され、該3つのバイアホール260

の共通のランド部 260 a に、ニッケルめっき層 72 及び金めっき層 74 が形成されることで、1つの大きなランド 275 が形成されている。そして、該大きなランド 275 に大きな半田バンプ 276 が載置されている。

この第5実施形態の改変例パッケージ基板 501 においては、半田バンプ 276 をバイアホール 260 に形成することで、半田バンプ 276 とバイアホール 260 とを直接接続しているため、例えばパッケージ基板 501 にクラックが入っても半田バンプ 276 とバイアホール 260 との間に断線が生じない。また、半田バンプ 276 を、複数のバイアホール 260、260、260 に形成してあるので、複数のバイアホールの内の1つが内層の導体回路 58D と接続が取れていなくとも、他のバイアホールにて半田バンプ 276 及び内層導体回路 58D の接続が取れるため、フェーズセーフを具現化できる。

また、上述したように、ICチップ 80 側の半田パッド 75U は、直径 133 ~ 170 μm に形成され、マザーボード側の半田パッド 75D は、直径 600 μm に形成され、4 ~ 5 倍大きさが異なり、1つのバイアホールにマザーボード側の大きな半田パッド 75D を形成し難い。このため、第5実施形態の改変例に係るパッケージ基板 501 においては、半田バンプ 276 を、複数のバイアホール 260、260、260 に形成することで、大きな半田バンプを形成している。ここで、上述した改変例においては、3個のバイアホールに1つの半田バンプを形成したが、2つのバイアホールに1つの半田バンプを、また、4つ以上のバイアホールに1つの半田バンプを形成することも可能である。

以上説明したように第5実施形態のパッケージ基板においては、半田バンプをバイアホールに形成することで、半田バンプとバイアホールとを直接接続してあるため、パッケージ基板にクラックが入っても半田バンプとバイアホールとの間に断線が生じない。また、半田バンプを複数のバイアホールに形成してあるので、複数のバイアホールの内の1つが例えば内部で接続が取れていなくとも、他のバイアホールにて半田バンプとの接続が取れるため、フェーズセーフを具現化できる。また、半田バンプを複数のバイアホールに形成するため、バイアホールに対して半田バンプを大きく形成することができる。

上述した実施形態では、パッケージ基板をマザーボードに直接取り付ける例を挙げたが、パッケージ基板をサブボード等を介してマザーボードに接続する

- 27 -

場合にも、本発明のパッケージ基板を好適に使用することができる。

5

10

15

20

25

30

請求の範囲

1. コア基板の両面に、層間樹脂絶縁層を介在させて導体回路を形成して成り、ICチップの搭載される側の表面に半田パッドが形成され、他の基板に接
5 続される側の表面に、前記ICチップ搭載側の半田パッドよりも相対的に大きな半田パッドが形成されたパッケージ基板であって、
前記コア基板のICチップが搭載される側に形成される導体回路のパターン間に、ダミーパターンを形成したことを特徴とするパッケージ基板。
2. コア基板の両面に、層間樹脂絶縁層を介在させて導体回路を形成して成り、ICチップの搭載される側の表面に半田パッドが形成され、他の基板に接
10 続される側の表面に、前記ICチップ搭載側の半田パッドよりも相対的に大きな半田パッドが形成されたパッケージ基板であって、
前記コア基板のICチップが搭載される側に形成される導体回路の外周に、ダミーパターンを形成したことを特徴とするパッケージ基板。
- 15 3. 最外層の導体回路と、
該最外層の導体回路を支持する絶縁層と、
該絶縁層の下側に設けられる内層導体回路と、を備える多層配線板であって、
前記内層導体回路は、電源層および／またはグランド層であり、
前記絶縁層を貫通し、前記内層導体回路に接続されたバイアホールに、半
20 田バンプが形成されていることを特徴とするパッケージ基板。
4. 内層の第1導体回路と、
該第1内層導体回路上に形成された第1層間樹脂絶縁層と、
該第1層間樹脂絶縁層上に形成された内層の第2導体回路と、
該第2導体回路上に形成された第2層間樹脂絶縁層と、
25 該第2層間樹脂絶縁層上に形成された最外層の導体回路と、を備える多層プリント配線板であって、
前記内層の第2導体回路は、電源層および／またはグランド層であり、
前記第2層間樹脂絶縁層を貫通し、前記第2の導体回路に接続されたバイアホールに、半田バンプが形成されていることを特徴とするパッケージ基板。
- 30 5. コア基板の両面に導体層を形成し、層間樹脂絶縁層を介在させて更に導

体層を形成して成り、前記コア基板のいずれかの面の導体層を電極層として用いるパッケージ基板であって、

前記電極層を形成する導体層に配設する、コア基板貫通のスルーホールランドと、上面側の層間樹脂絶縁層を貫通するバイアホールとの接続用のパッドとを一体化したことを特徴とするパッケージ基板。

5

6. コア基板の両面に導体層を形成し、層間樹脂絶縁層を介在させて更に導体層を形成して成り、前記いずれかの層間樹脂絶縁層の上面の導体層を電極層として用いるパッケージ基板であって、

前記電極層を形成する導体層に配設する、下面層間樹脂絶縁層を貫通するバイアホールランドと、上面側の層間樹脂絶縁層を貫通するバイアホールとの接続用のパッドとを一体化したことを特徴とするパッケージ基板。

10

7. 複数の層間樹脂絶縁層を介在させて多層の導体回路を形成して成り、ICチップの搭載される側の表面、及び、他の基板へ接続される側の表面に半田バンプが形成され、該他の基板に接続される側の表面と当該他の基板との間が樹脂封止されるパッケージ基板であって、

15

該他の基板へ接続される側表面の半田バンプを、バイアホールに形成したことを特徴とするパッケージ基板。

8. 複数の層間樹脂絶縁層を介在させて多層の導体回路を形成して成り、ICチップの搭載される側の表面、及び、他の基板へ接続される側の表面に半田バンプが形成され、該他の基板に接続される側の表面と当該他の基板との間が樹脂封止されるパッケージ基板であって、

20

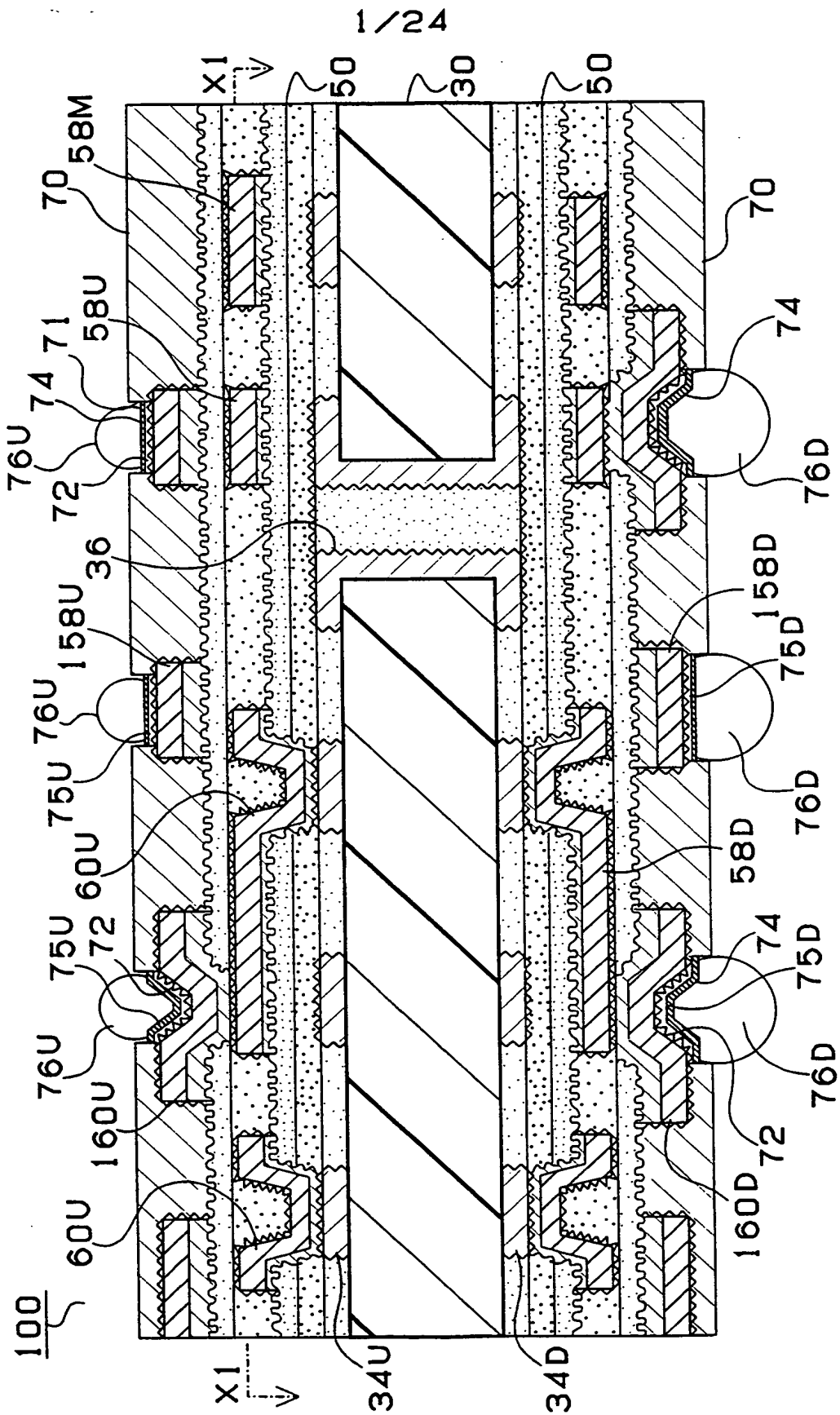
該他の基板へ接続される側表面の半田バンプを、複数のバイアホールに形成したことを特徴とするパッケージ基板。

25

30

THIS PAGE BLANK (USPTO)

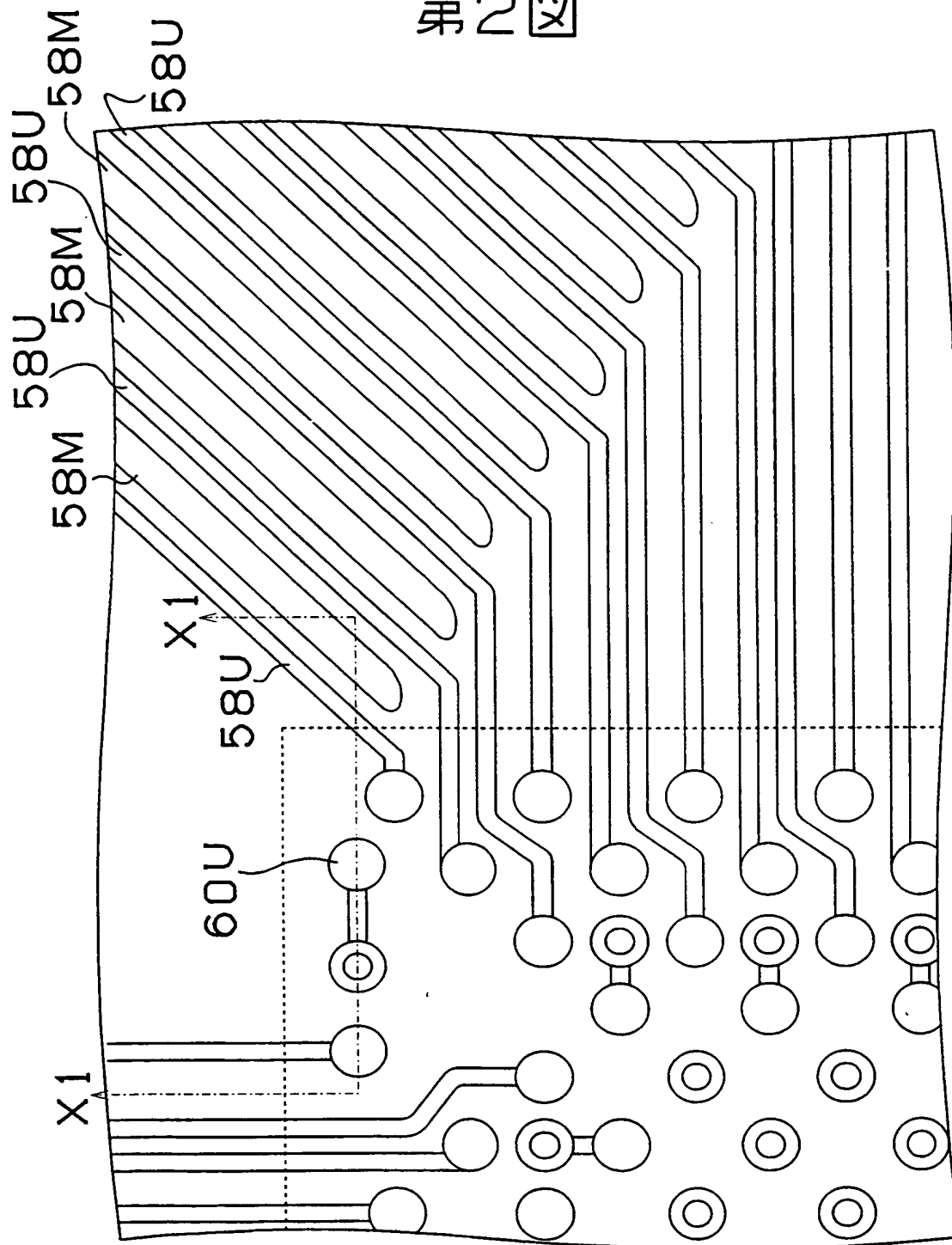
第1図



THIS PAGE BLANK 100-10

2/24

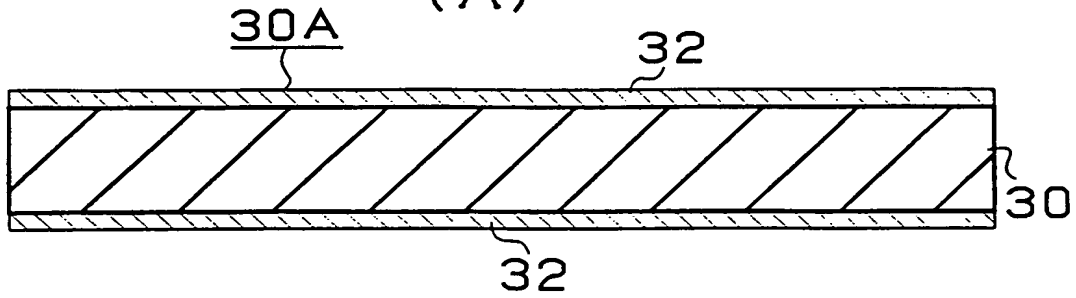
第2図



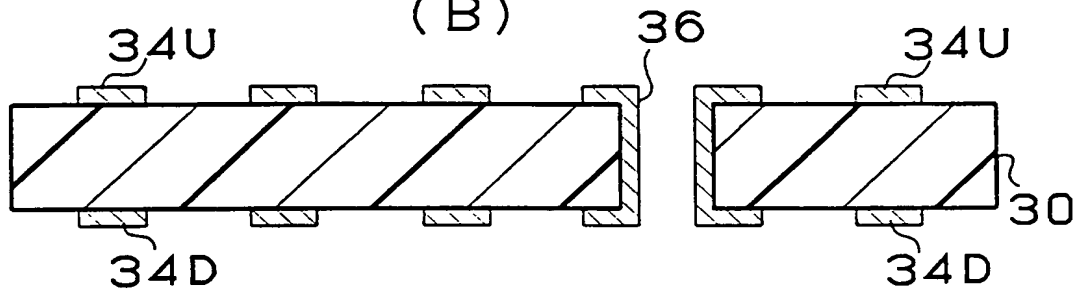
THIS PAGE BLANK (USPTO)

3/24
第3図

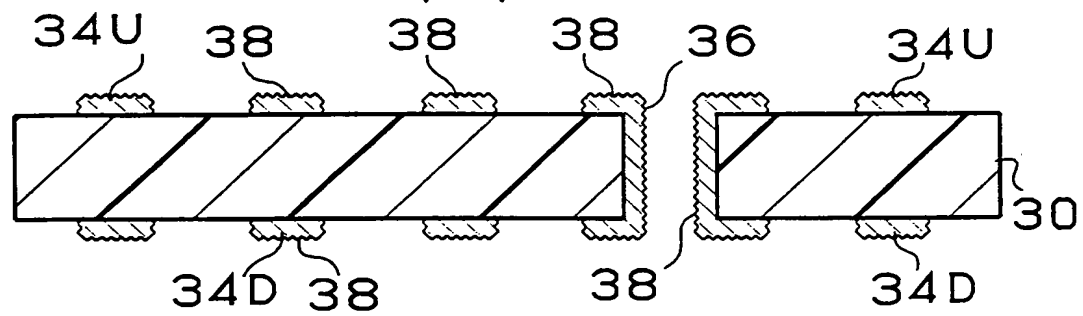
(A)



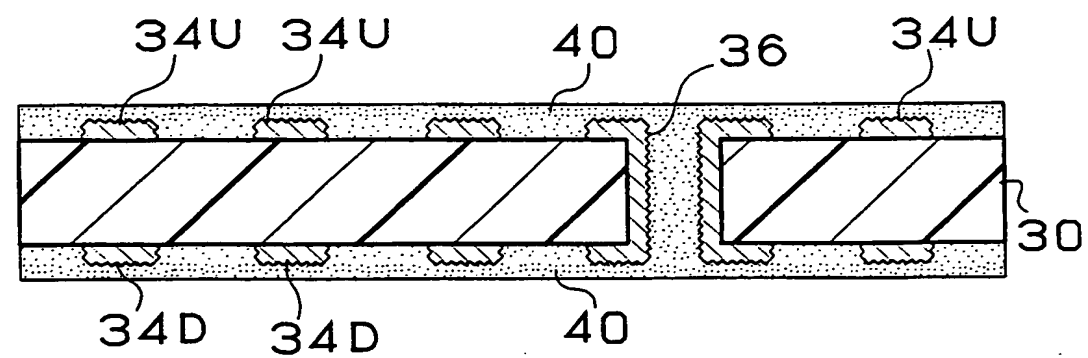
(B)



(C)



(D)

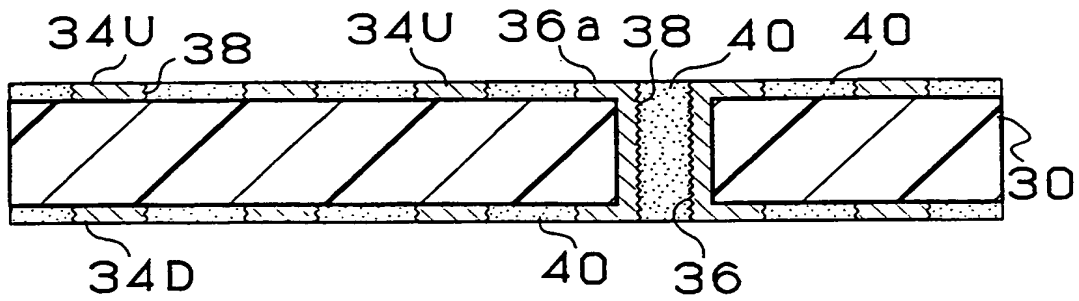


THIS PAGE BLANK (USFO)

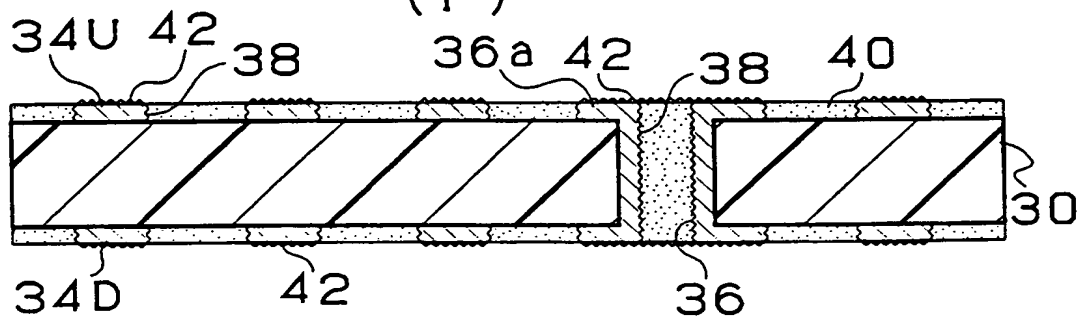
4/24

第4図

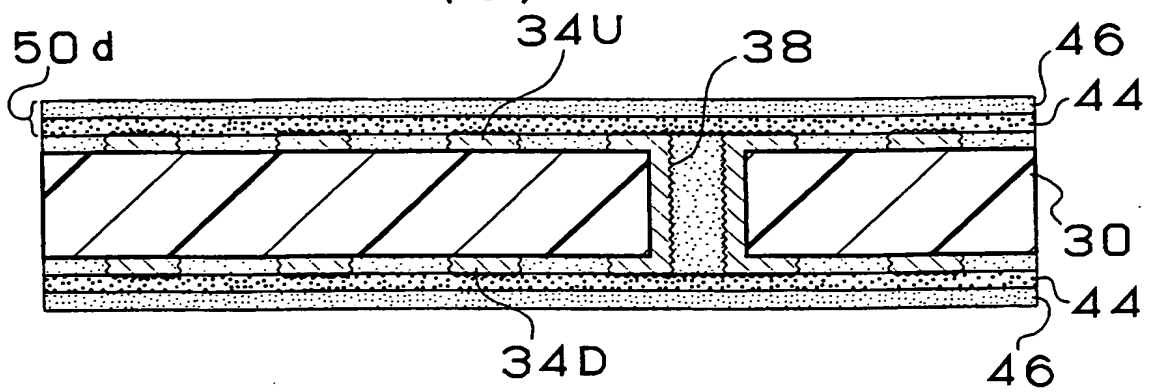
(E)



(F)



(G)

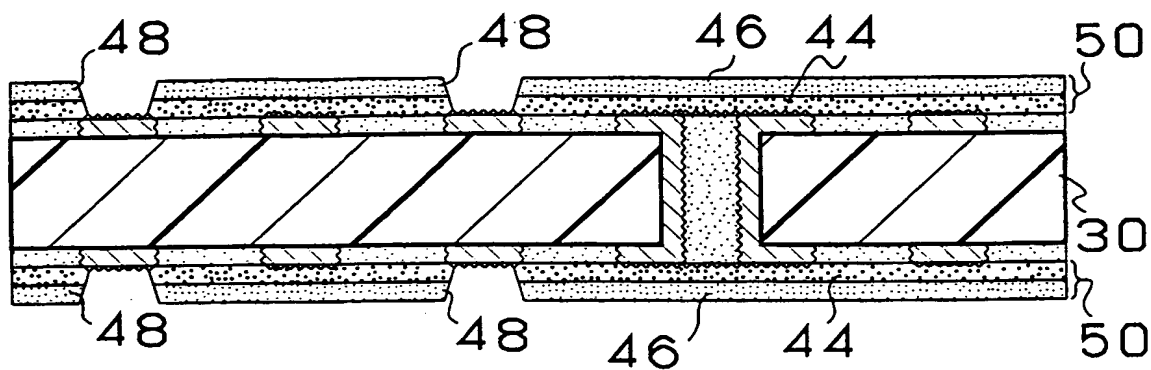


THIS PAGE BLANK. 000000

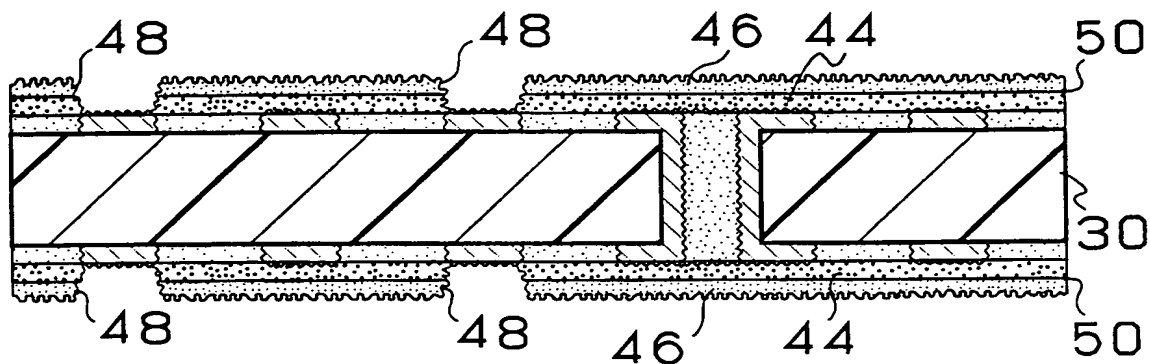
5/24

第5図

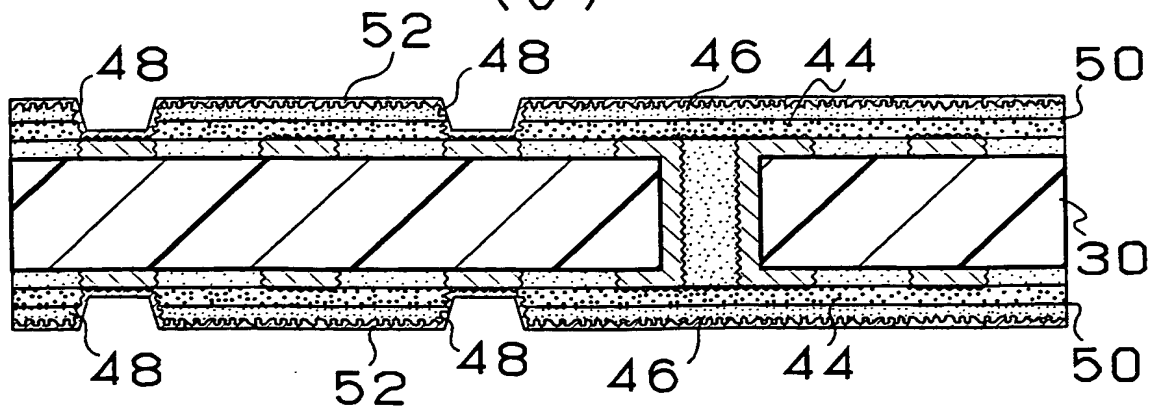
(H)



(I)



(J)

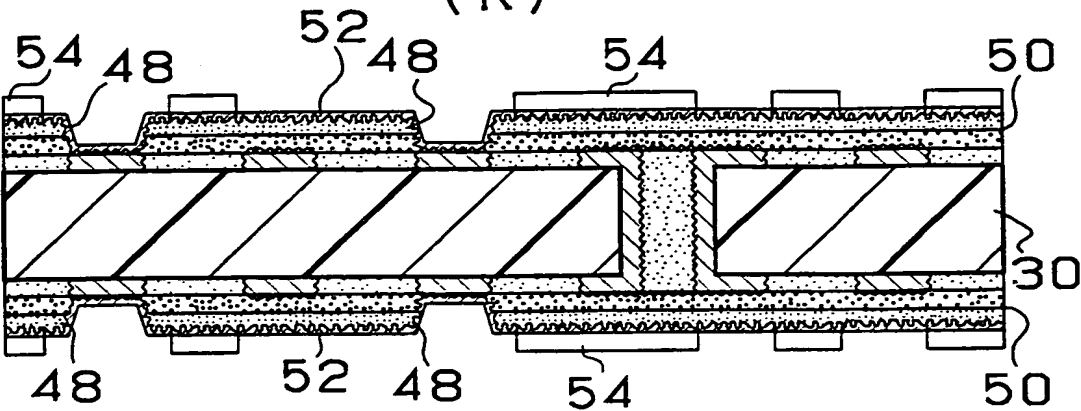


THIS PAGE BLANK (USFO)

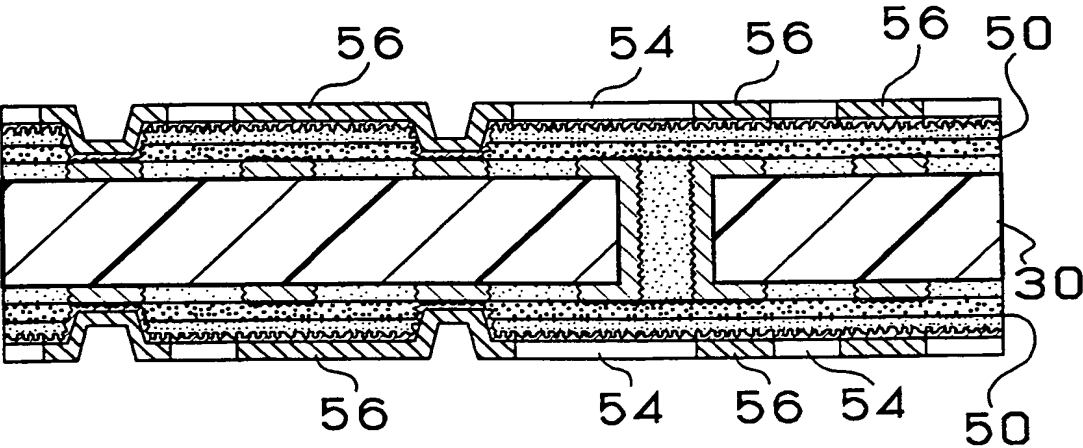
6/24

第6図

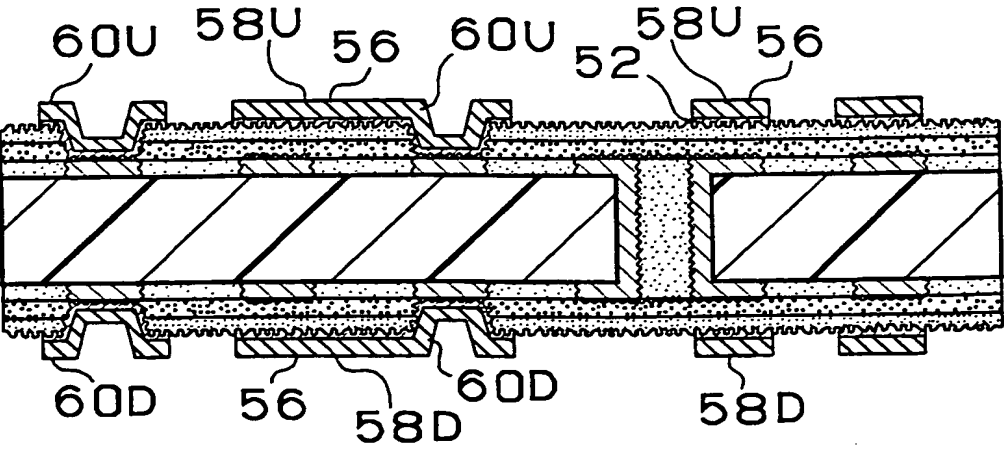
(K)



(L)



(M)

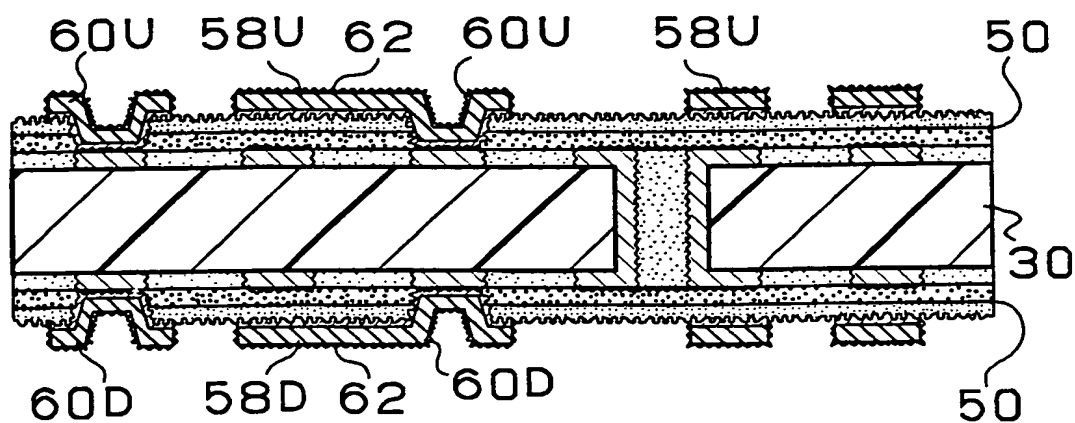


THIS PAGE BLANK (10/2/90)

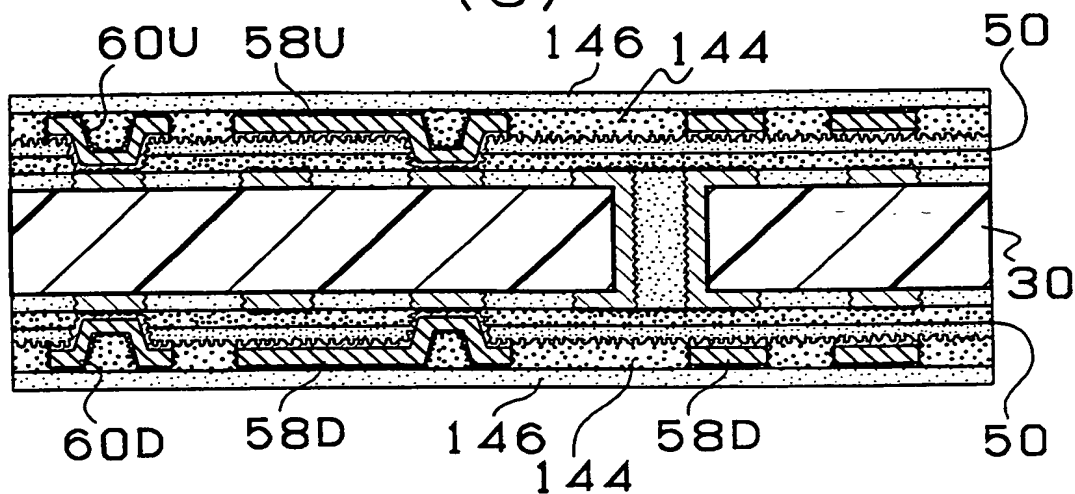
7/24

第7図

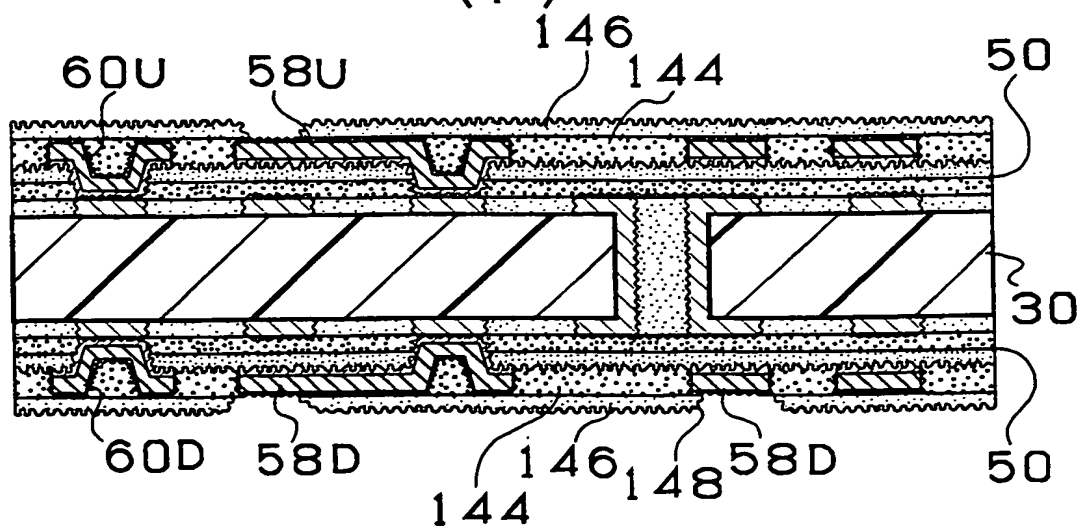
(N)



(O)

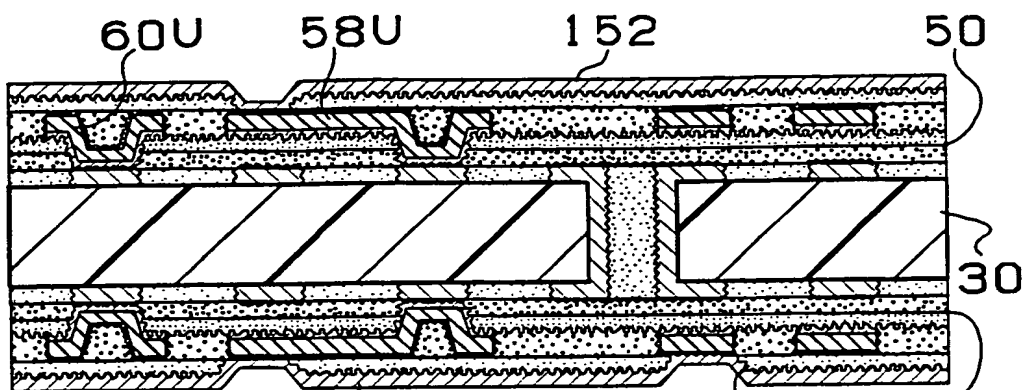


(P)

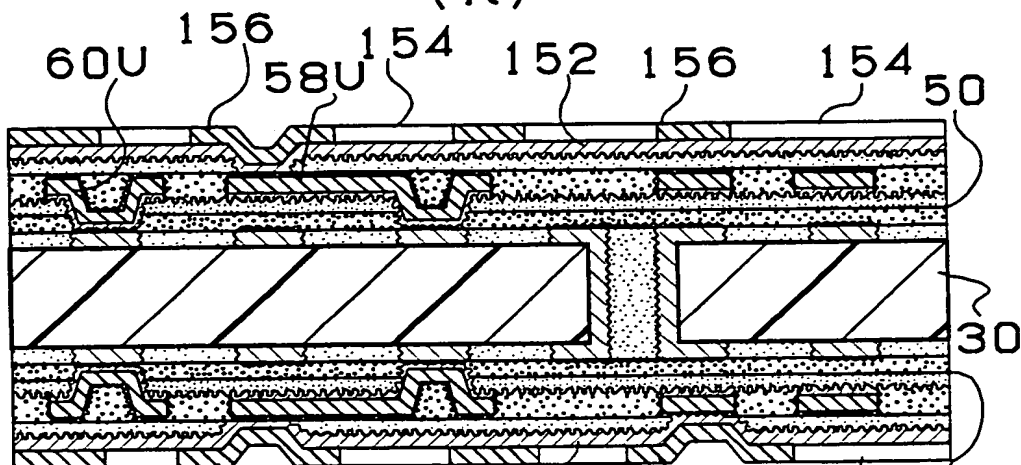


THIS PAGE BLANK (652700)

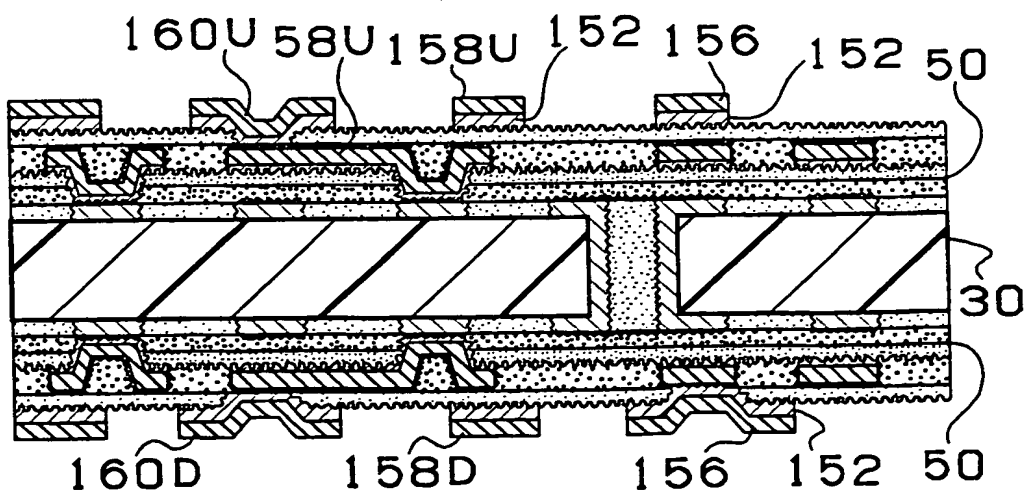
8/24
第8図
(Q)



152 142 50
(R)



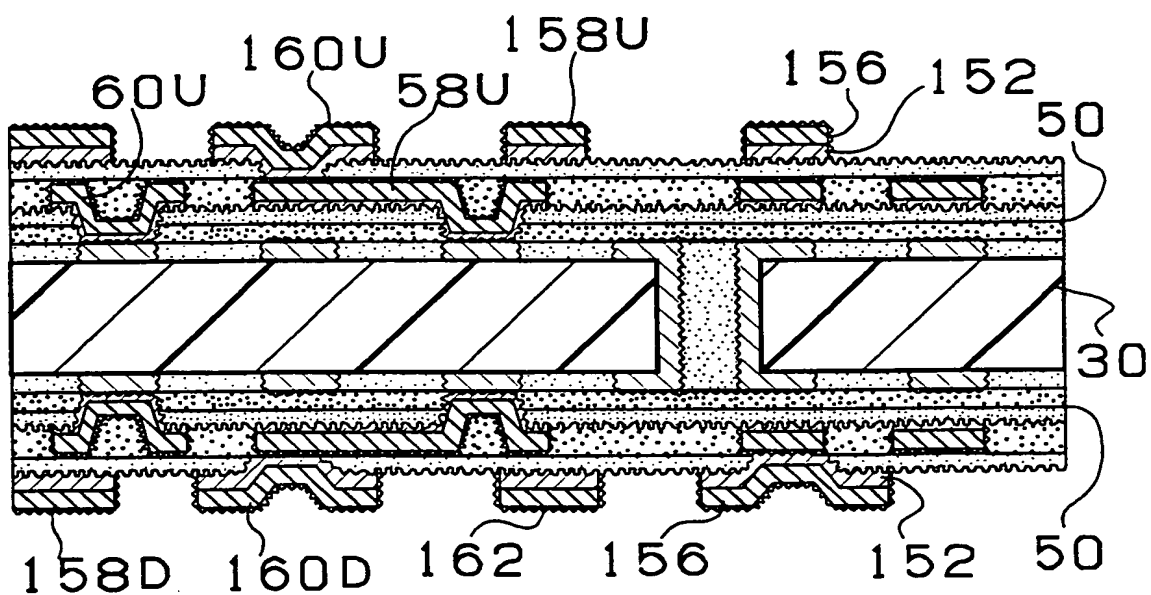
156 154 152 156 154 50
(S)



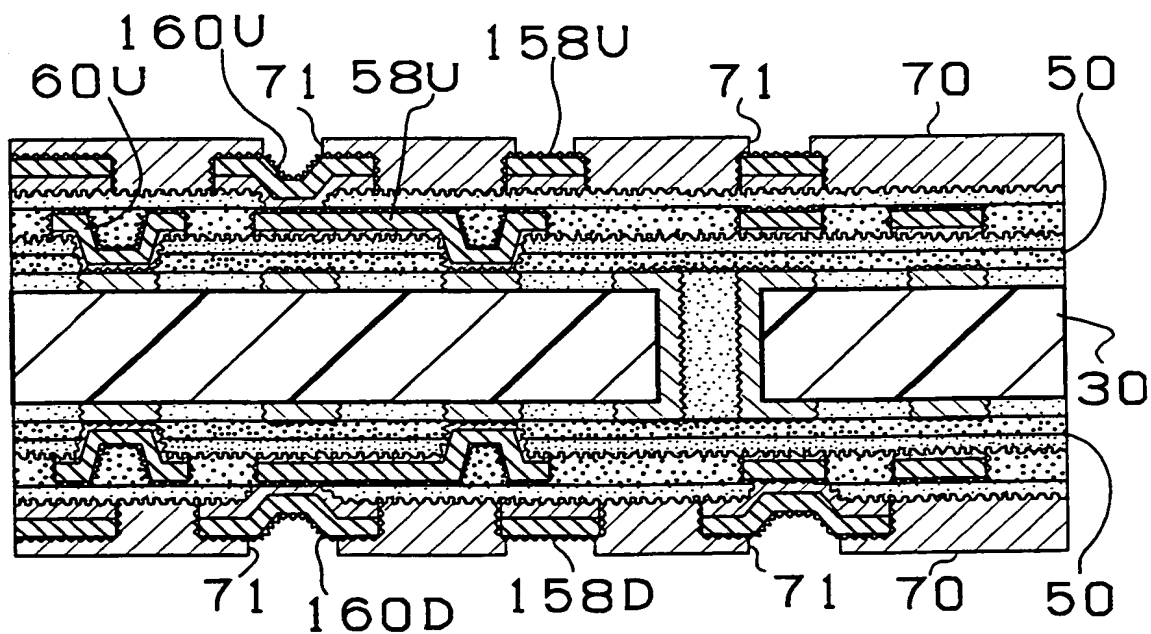
THIS PAGE BLANK (000-000)

9/24
第9図

(T)

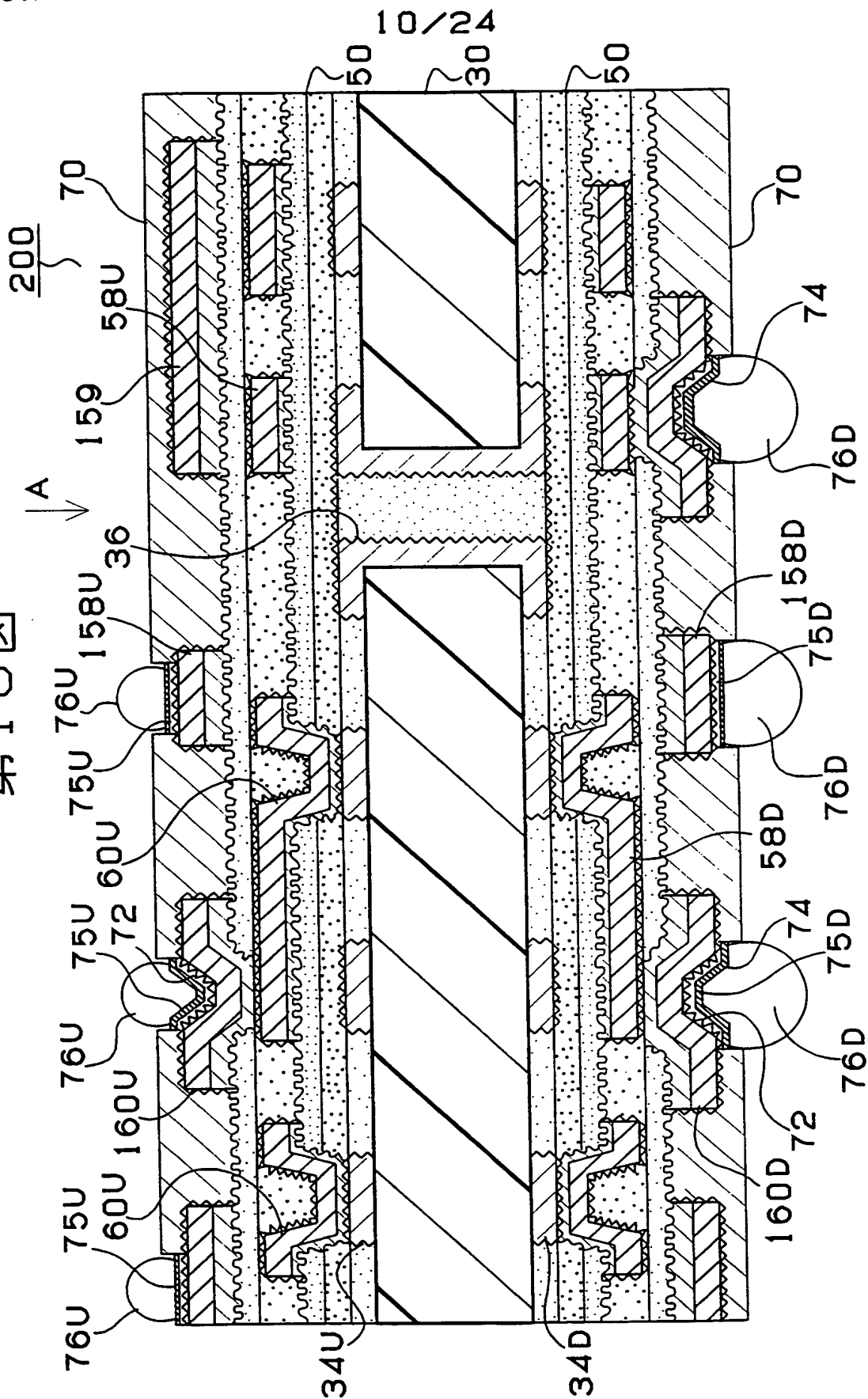


(U)



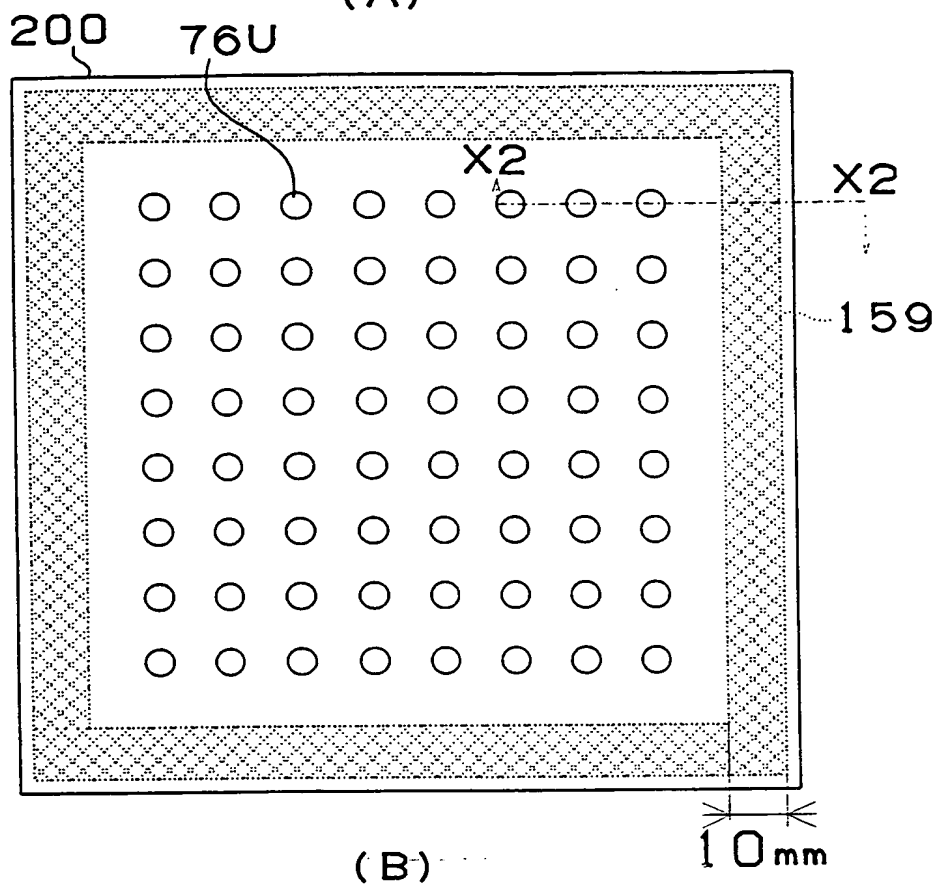
THIS PAGE BLANK (USP#14)

第10図

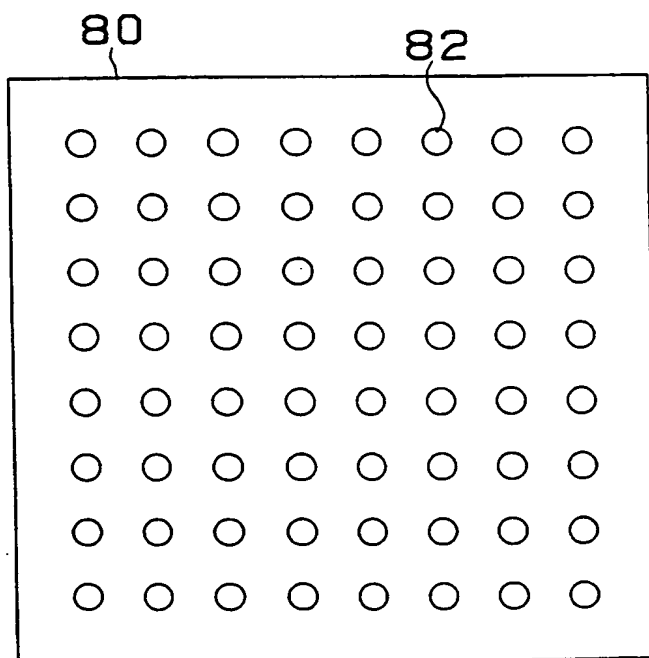


THIS PAGE BLANK (USPTO)

11/24
第11図
(A)

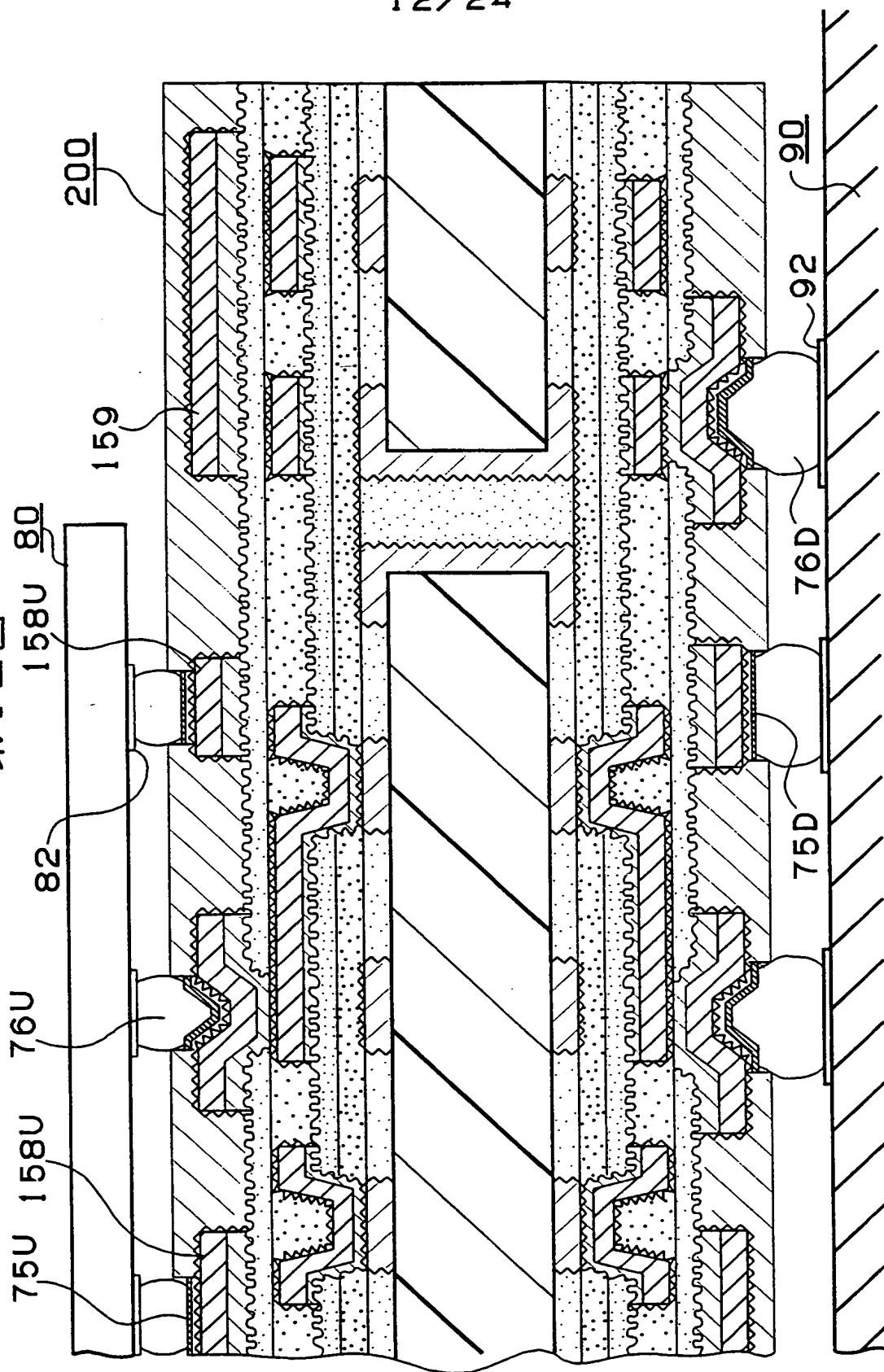


(B)

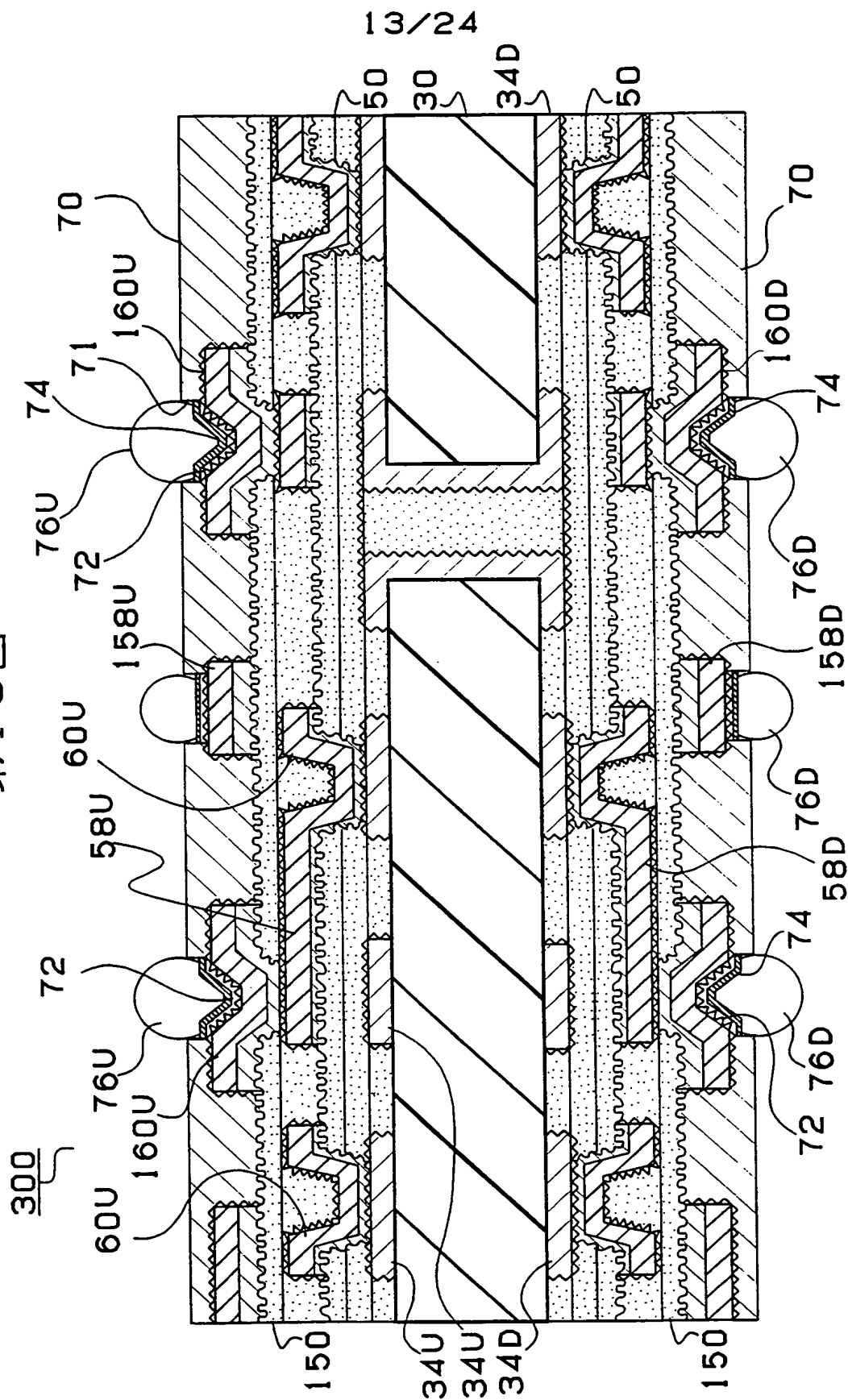


THIS PAGE BLANK (USTO)

第12図

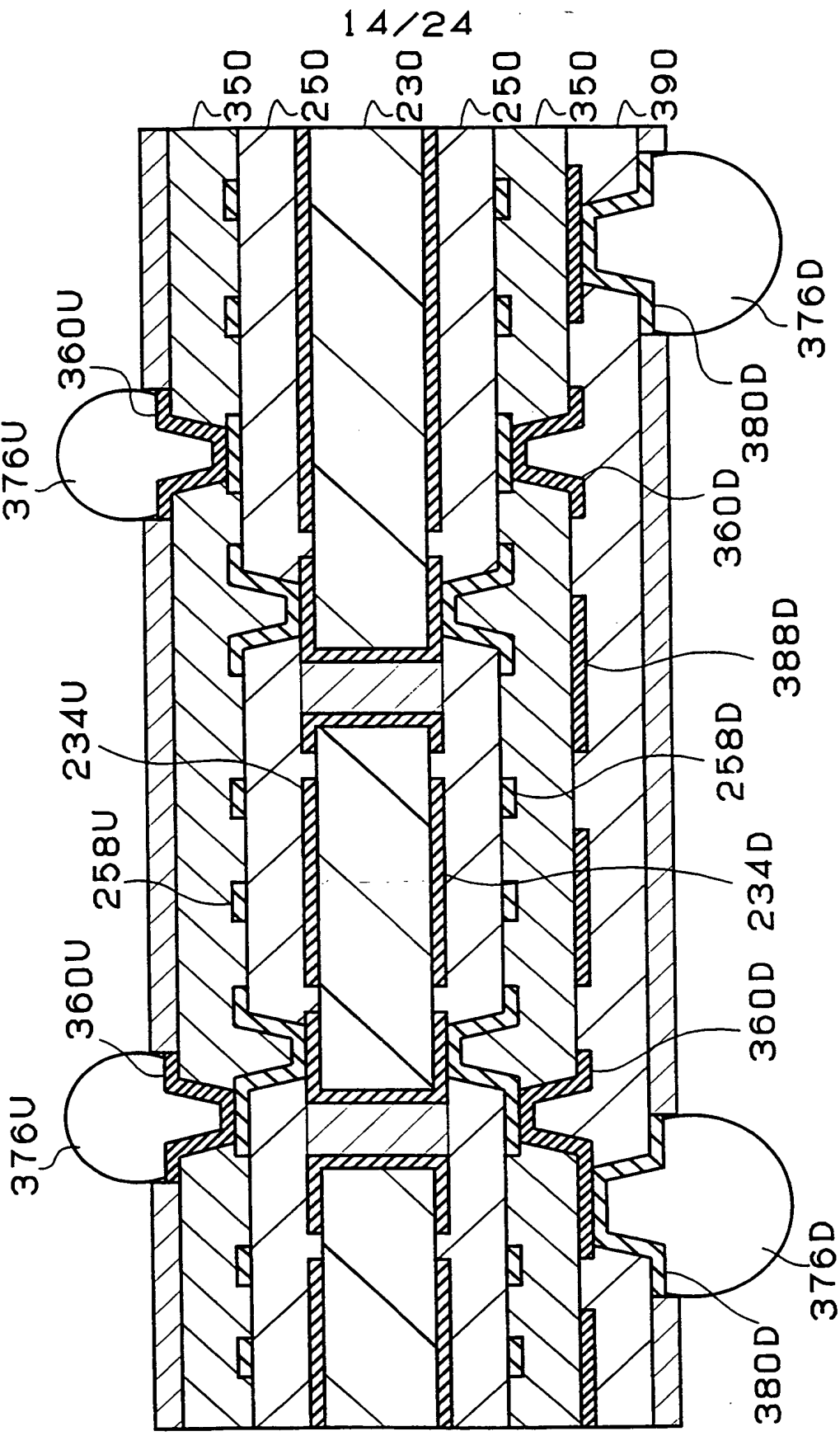


THIS PAGE BLANK (USPTO)



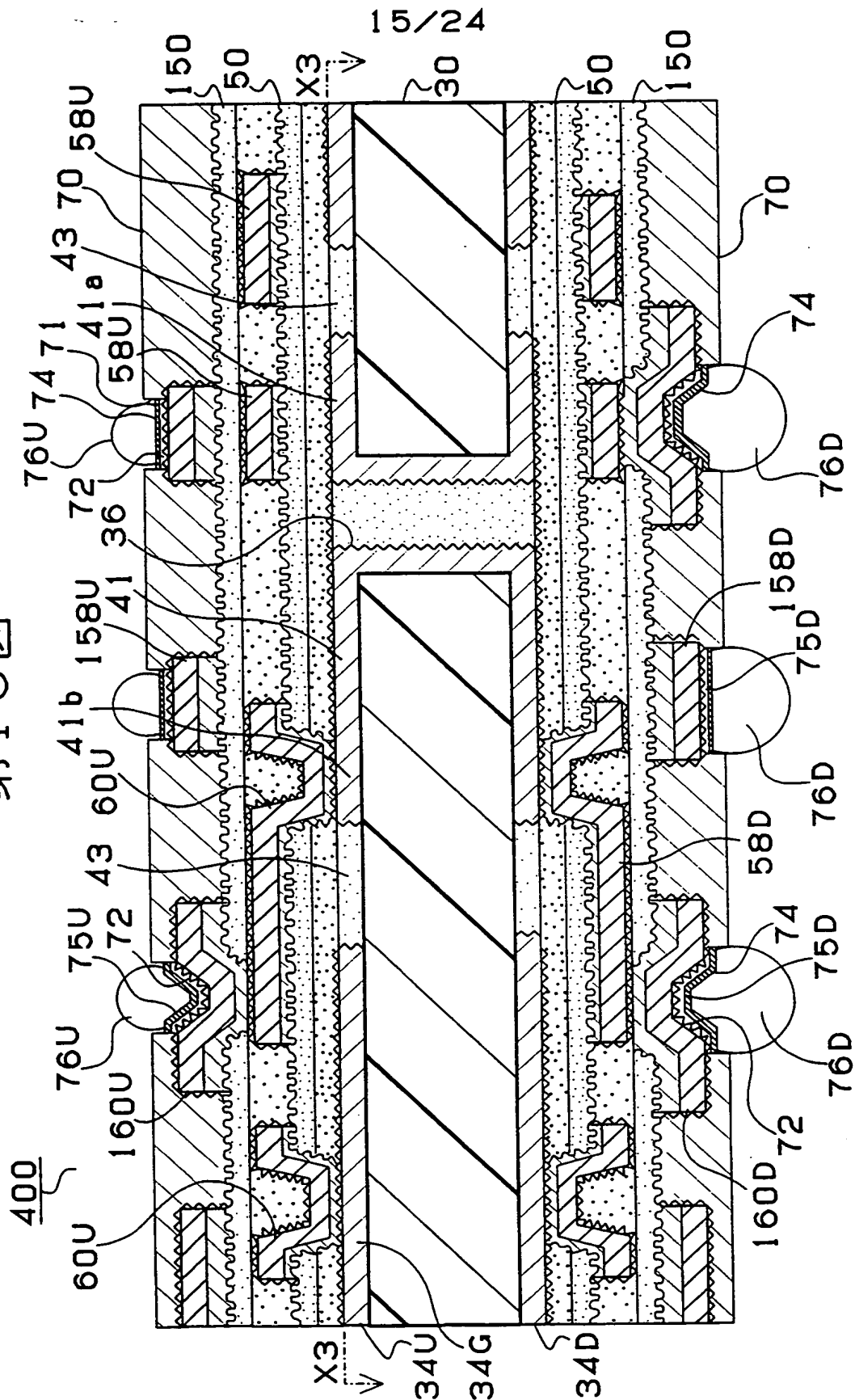
THIS PAGE BLANK (USPTO)

第14図



THIS PAGE BLACK MARK

第15図

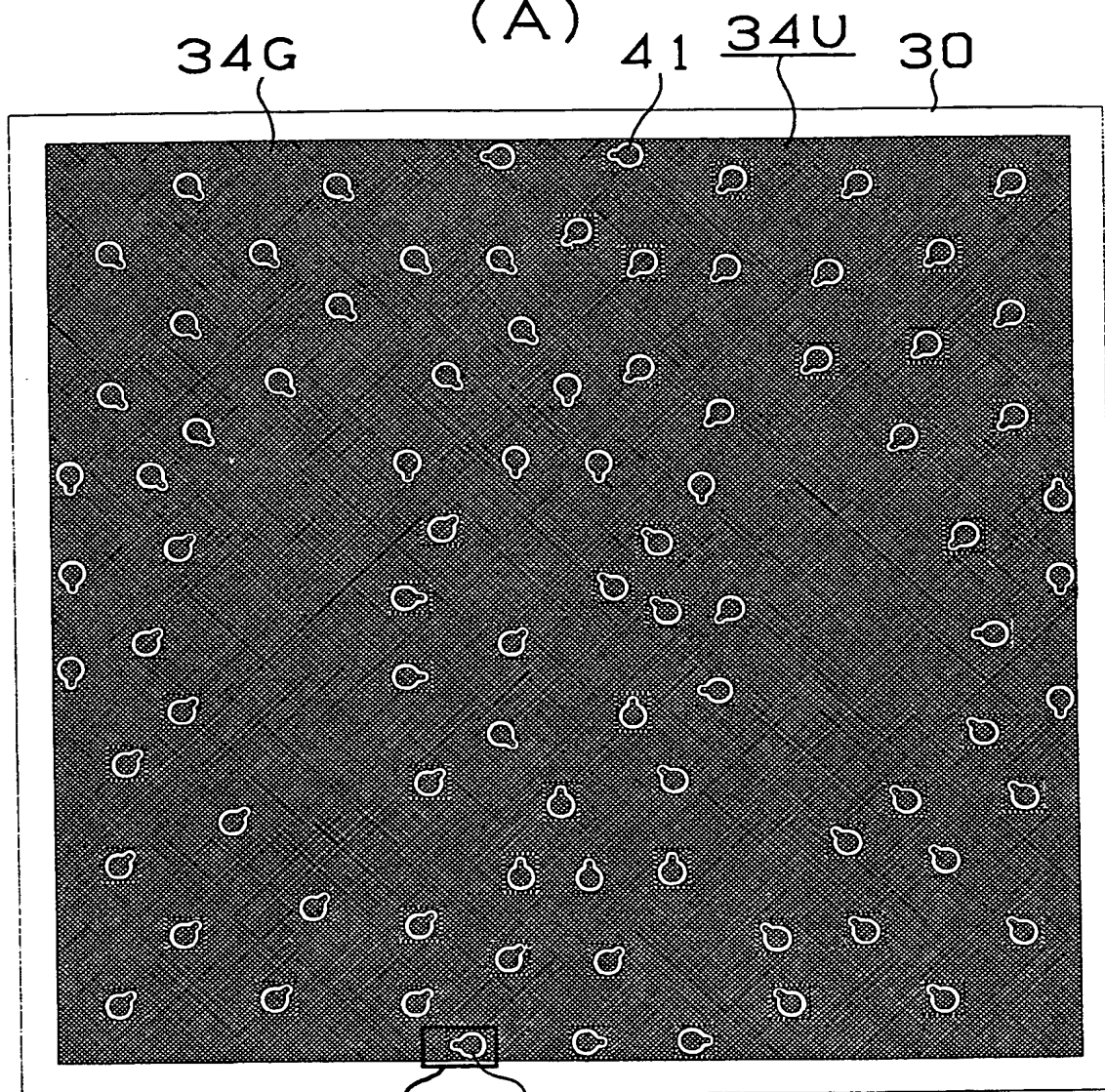


THIS PAGE BLANK (1971)

16/24

第16図

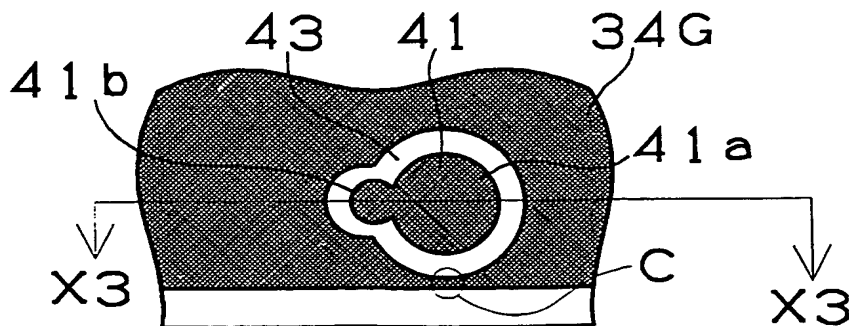
(A)



B

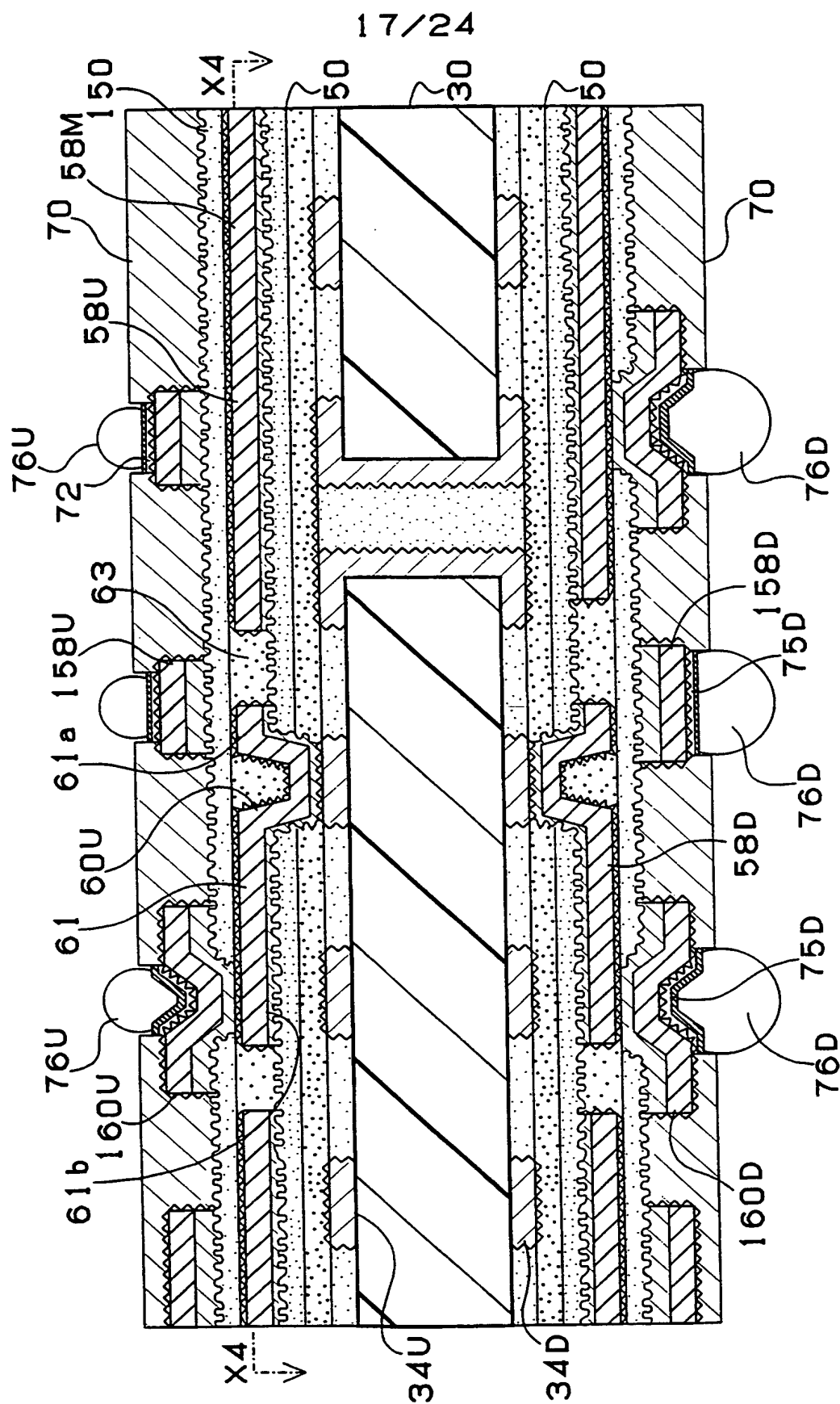
41

(B)



THIS PAGE BLANK

圖 1-2

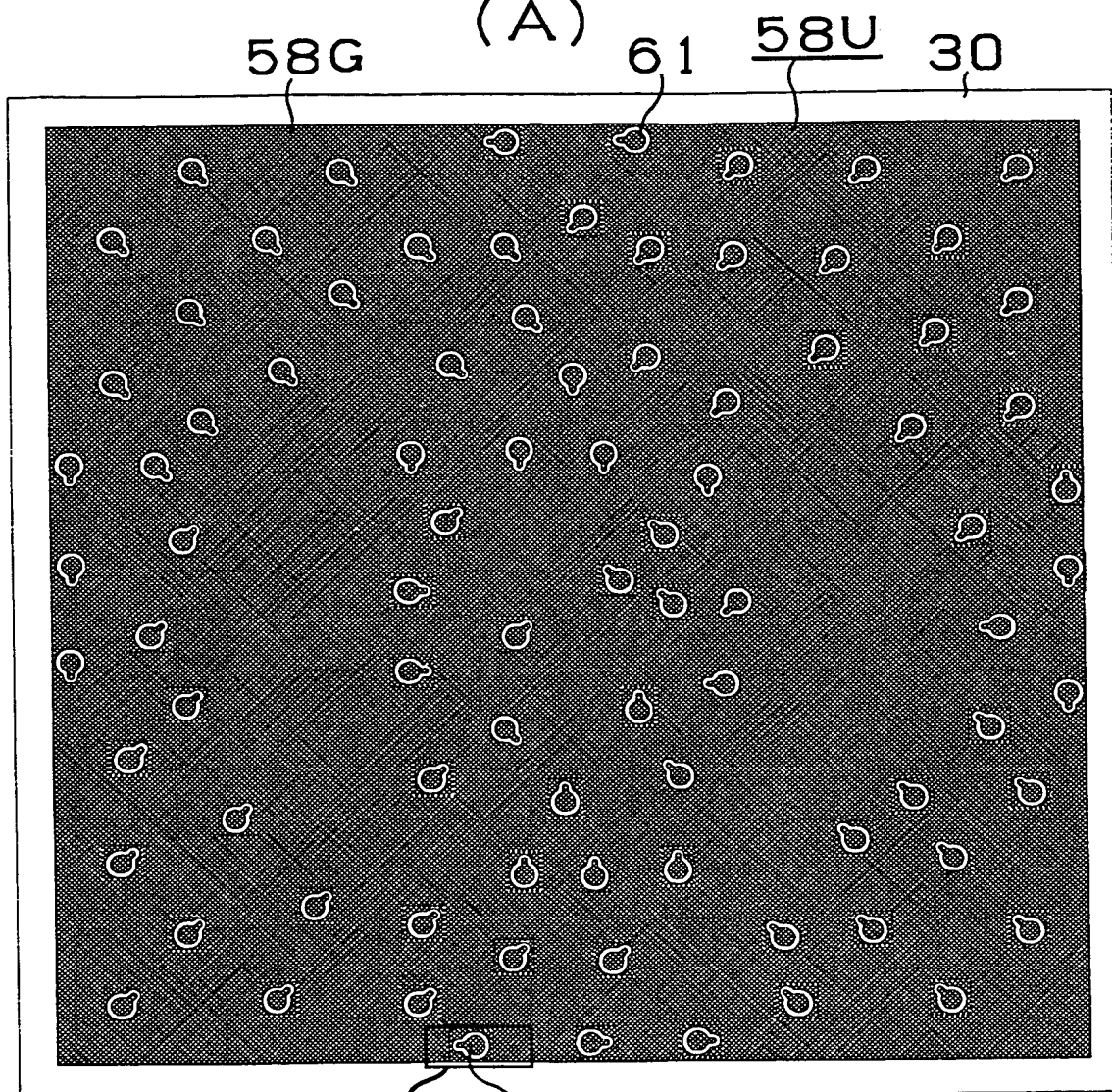


THIS PAGE BLANK (SEE P. 10)

18/24

第18図

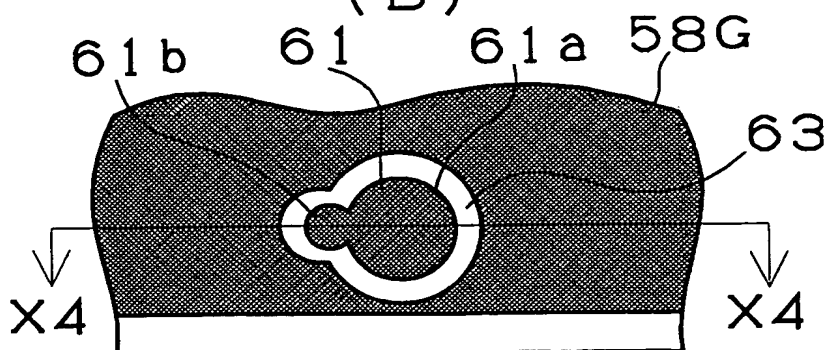
(A)



B

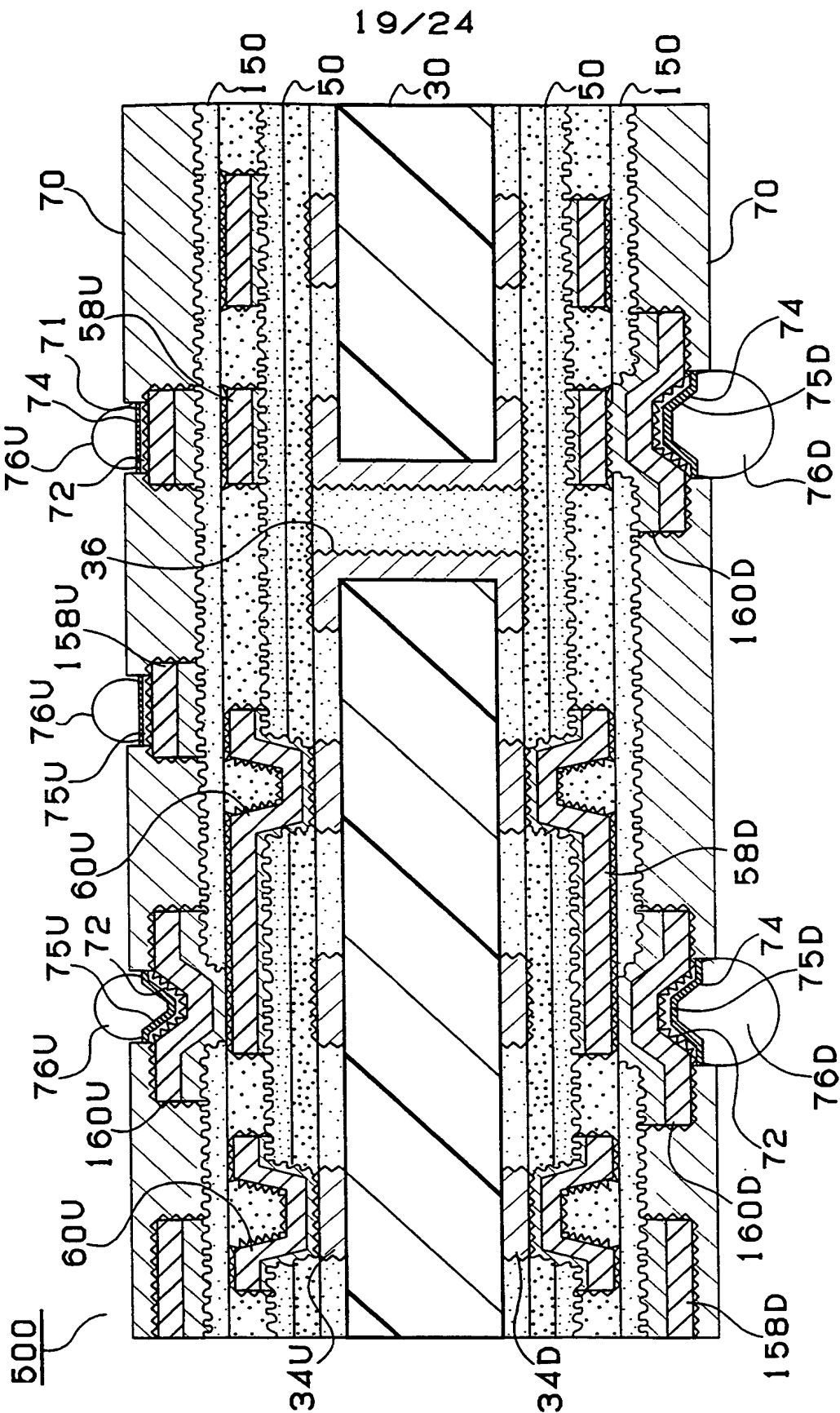
61

(B)



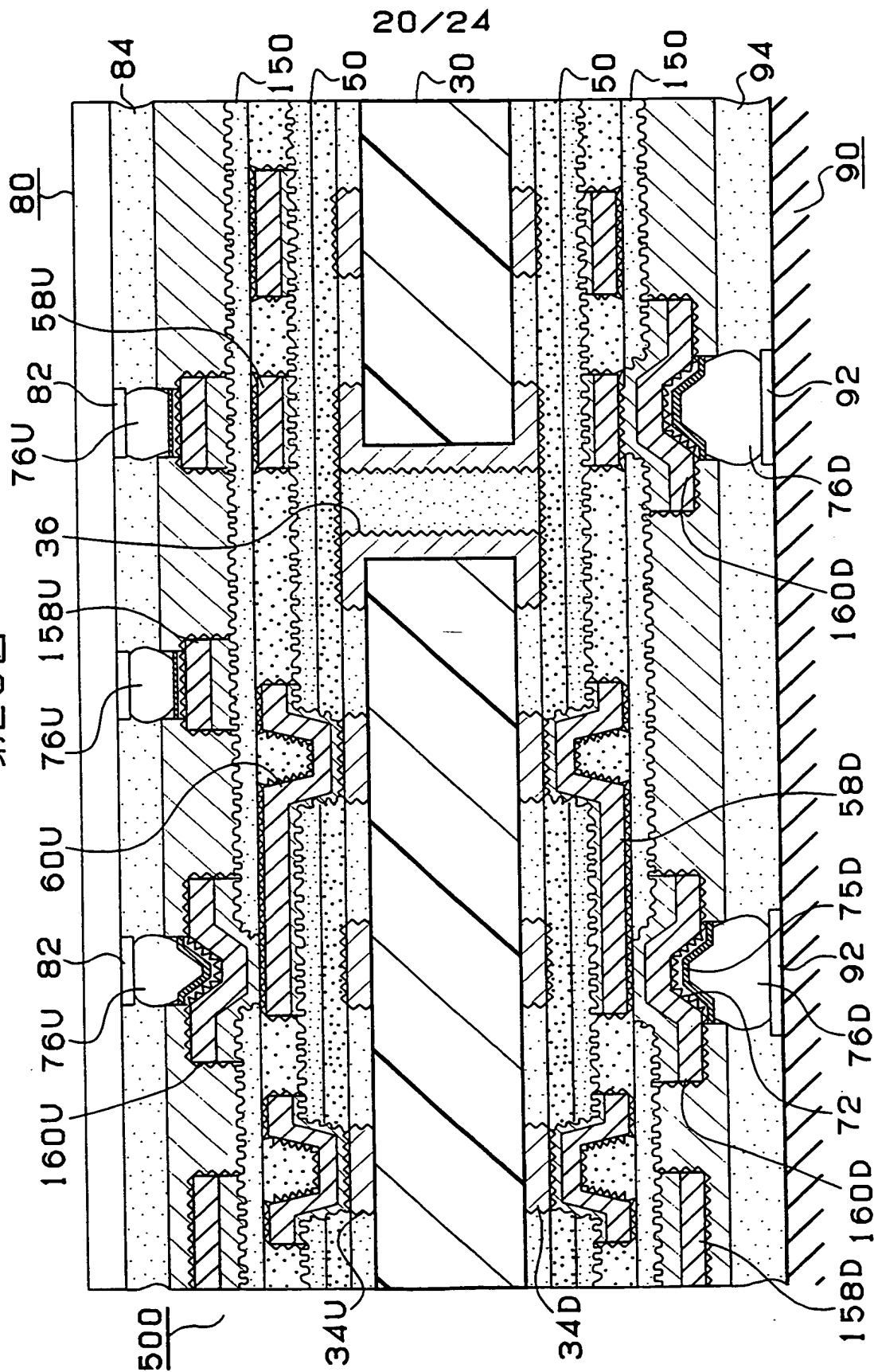
THIS PAGE BLANK (0052-70)

第19図

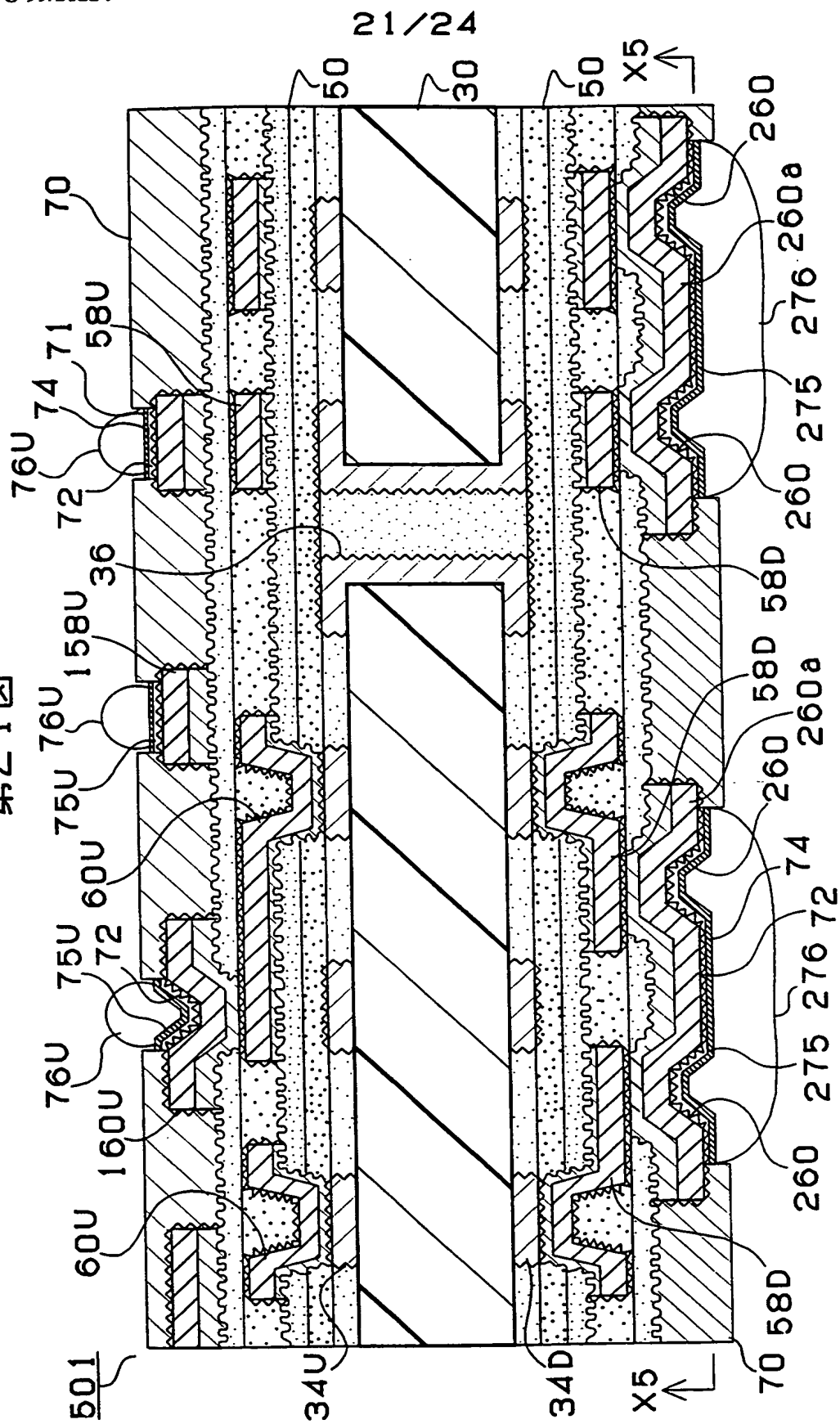
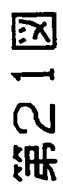


THIS PAGE BLANK (USP-10)

第20図



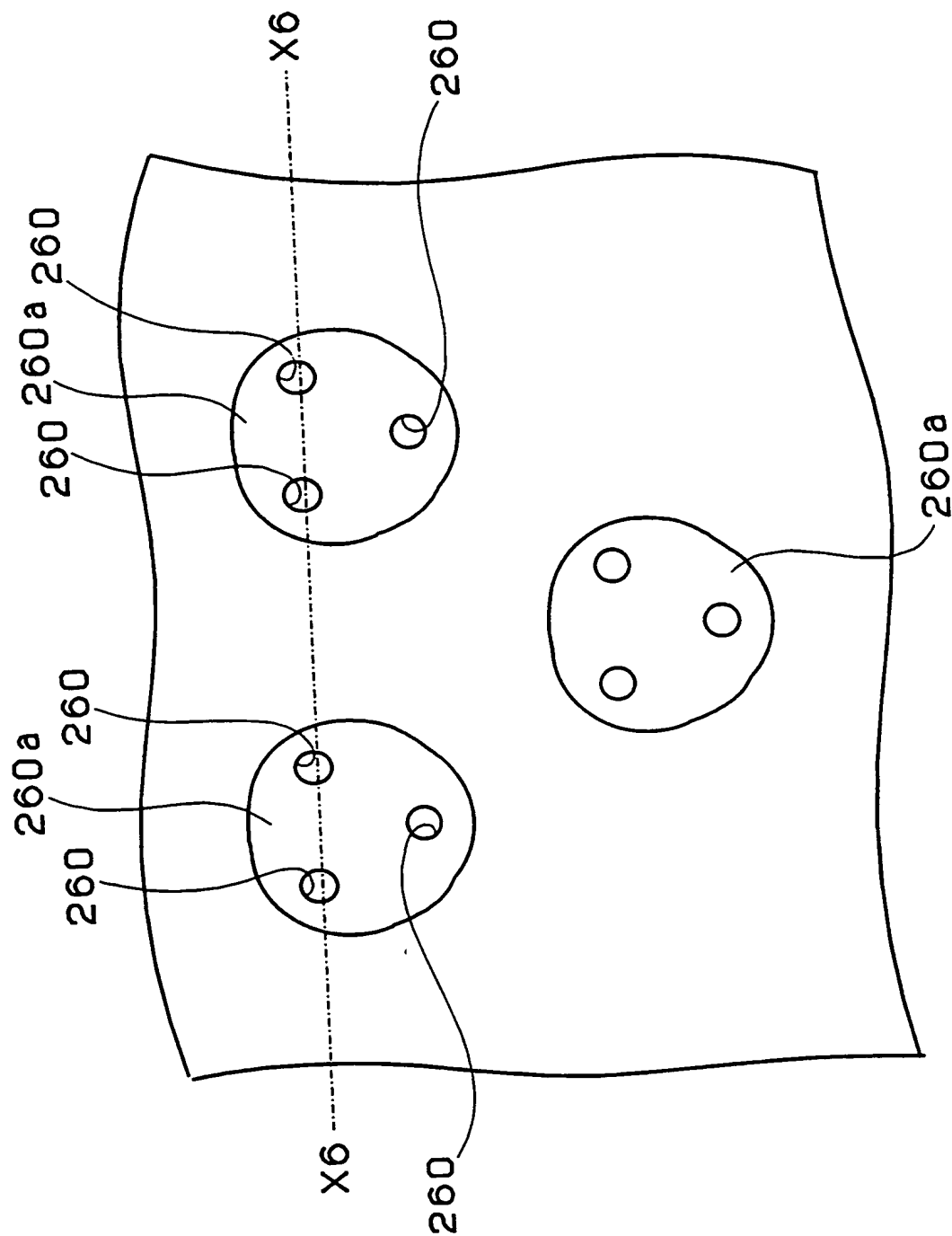
THIS PAGE BLANK (USP10)



THIS PAGE BLANK (USPTO)

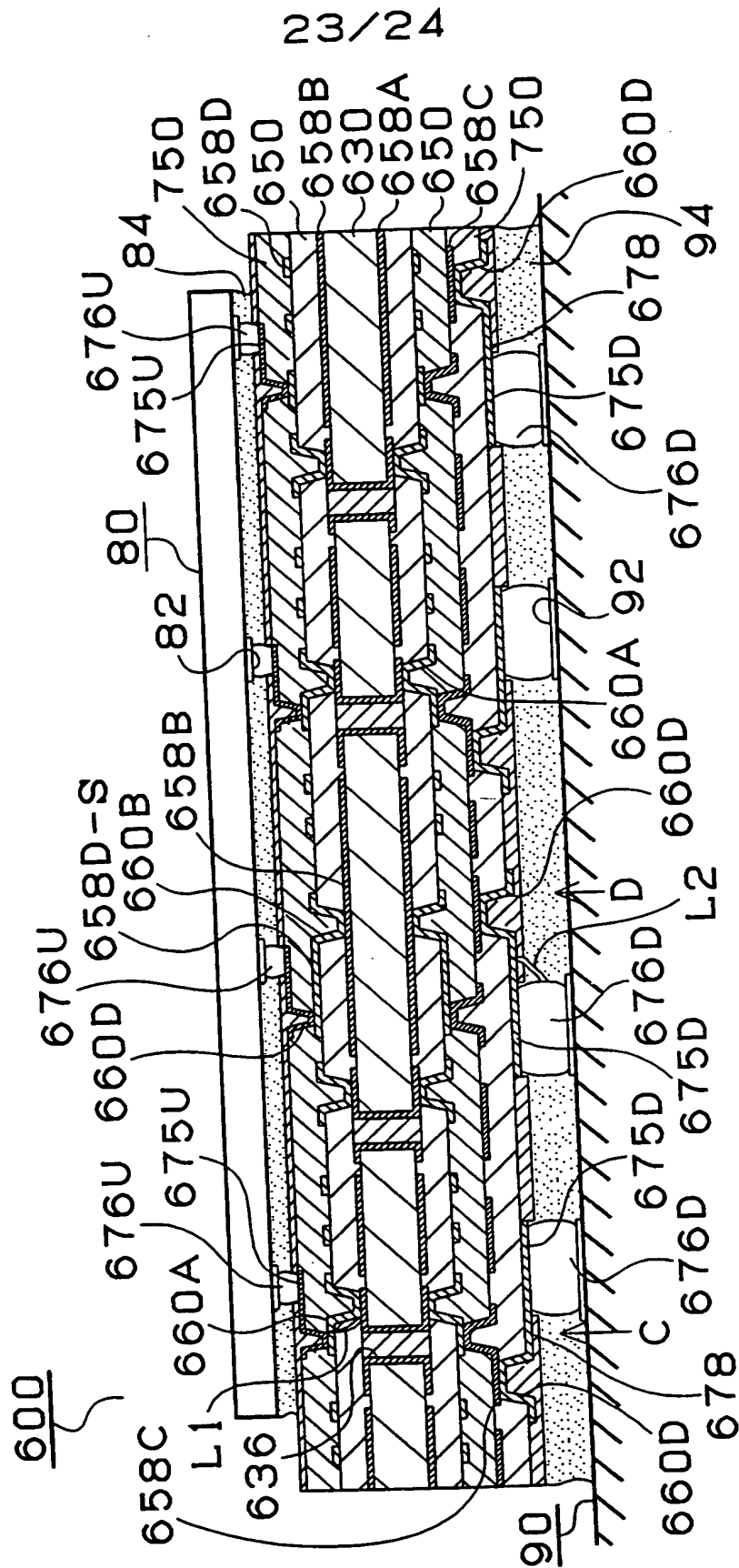
22/24

第22図



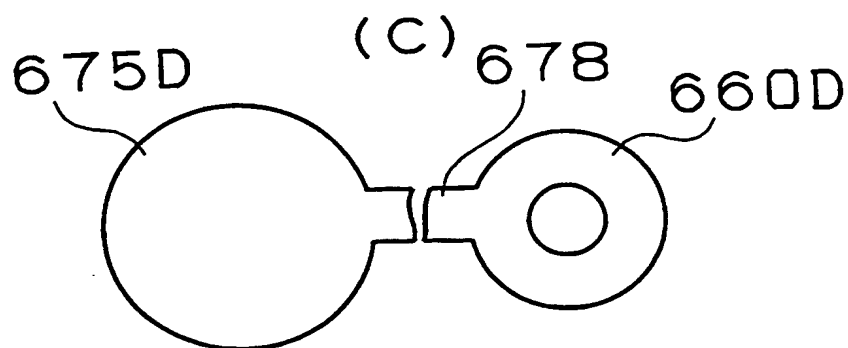
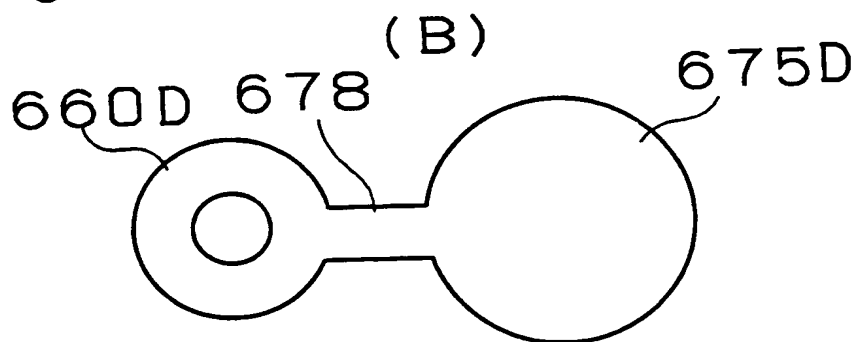
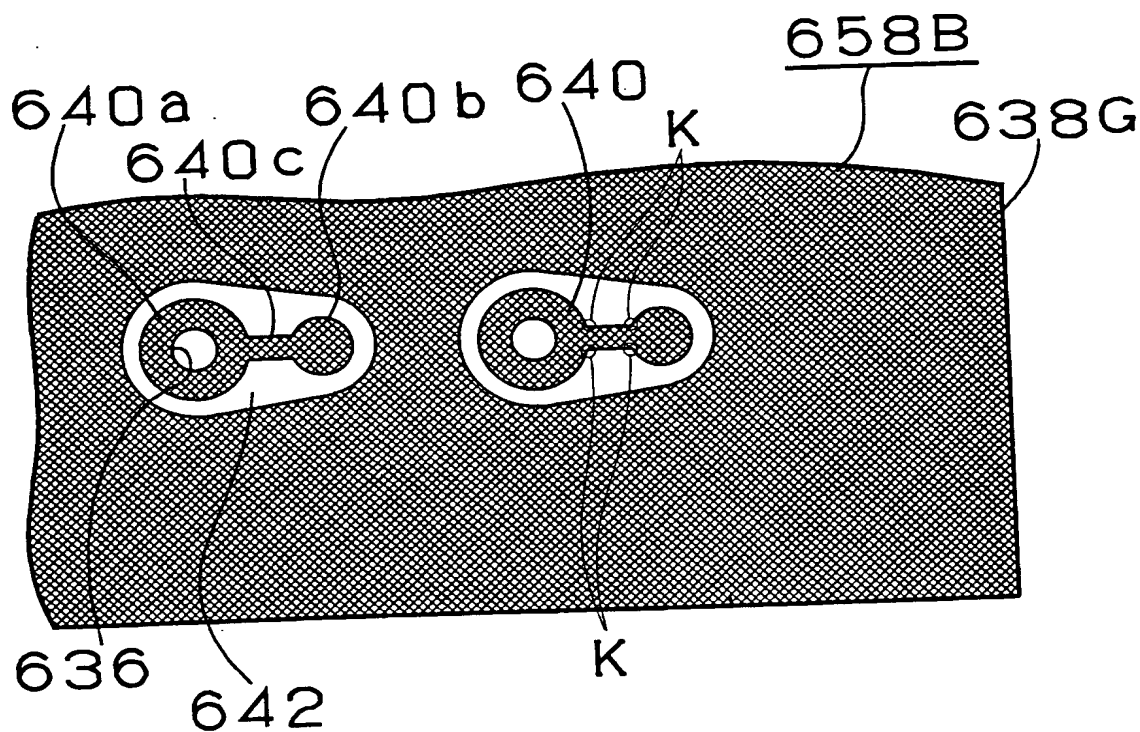
THIS PAGE BLANK (USPTO)

第23図



THIS PAGE BLANK

24/24
第24図
(A)



THIS PAGE BLANK (USPDA)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/04350

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L23/12, 23/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L23/12, 23/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-66552, A (Hitachi, Ltd.), 10 March, 1995 (10. 03. 95), Fig. 8 (Family: none)	1, 2
A	JP, 8-8359, A (Hitachi, Ltd.), 12 January, 1996 (12. 01. 96), Fig. 2 (Family: none)	3, 4, 7, 8
A	JP, 8-32240, A (Hitachi, Ltd.), 2 February, 1996 (02. 02. 96), Fig. 2 (Family: none)	5, 6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 December, 1998 (17. 12. 98)

Date of mailing of the international search report
6 January, 1999 (06. 01. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. ⁶ H01L23/12, 23/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. ⁶ H01L23/12, 23/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-1998年
日本国登録実用新案公報 1994-1998年
日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-66552, A (株式会社日立製作所) 10. 3月. 1995 (10. 03. 95) 図8, ファミリーなし	1, 2
A	JP, 8-8359, A (株式会社日立製作所) 12. 1月. 1996 (12. 01. 96) 図2, ファミリーなし	3, 4, 7, 8
A	JP, 8-32240, A (株式会社日立製作所) 2. 2月. 1996 (02. 02. 96) 図2, ファミリーなし	5, 6

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17. 12. 98

国際調査報告の発送日

06.01.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
國方 康伸



4 E 9 4 4 2

電話番号 03-3581-1101 内線 3427

THIS PAGE BLANK (USPTO)